

ASF48sc

48-КАНАЛЬНАЯ КАРТА СБОРА АНАЛОГОВОЙ ИНФОРМАЦИИ, ВЫПОЛНЕННАЯ НА ОСНОВЕ МНОГОКАНАЛЬНЫХ Flash-ADC И ПРОГРАММИРУЕМОЙ ЛОГИКИ

*В.Л. Головцов, Н.В. Грузинский, П.А. Кравцов, А.В. Надточий,
П.В. Неустроев, Л.Н. Уваров, С.Л. Уваров, В.И. Яцура*

Карта выполнена на основе аппаратной платформы карты ASF-48(P) и отличается вариантом Firmware, загружаемого в FPGA. Карта ASF-48sc, главным образом, ориентирована на работу с внешним триггером, по которому формируются ворота (GATE), определяющие интервал ожидания входного сигнала. При этом измеряется время ($\pm 1\text{ns}$) от триггера до триггерного отсчета, принятого в пределах ворот. Каждому триггеру присваивается уникальный номер (ID). В состав карты входит 48-канальный предусилитель-шейпер, выполненный на двух микросхемах ATLAS CSC ТЗАУ, разработанных в Brookhaven National Laboratory для мюонного спектрометра (Cathode Strip Chambers (CSC)) эксперимента ATLAS [1] и 48-канальный Flash ADC, выполненный на шести ИС ADS5282. Программируемая логика выполнена на ИС Spartan-6 (LX45). Карта предназначена для работы в составе системы CROS-3 [2-4]. Приведена предварительная информация о карте ASF48sc.

Protection Circuit

Выполняет три функции:

- осуществляет подачу напряжения смещения (HV) на детектор ($R = 1\text{M}\Omega$, $C_{\text{разд}} = 0.1\mu\text{F}$);
- защищает входы предусилителя от опасных выбросов (диоды BAV99, $R_{\text{serial}} = 10\ \Omega$);
- подает тестовый импульс на входы предусилителя ($C_{\text{разд}} = 1\text{pF}$).

Preamplifier- Shaper

Две микросхемы ATLAS CSC ТЗАУ. ИС была разработана в Brookhaven National Laboratory для мюонного спектрометра (Cathode Strip Chambers (CSC)) эксперимента ATLAS [1]. Спецификация предусилителя ATLAS CSC ТЗАУ:

Technology	0.5 μm CMOS
Channels	25
Die size	3.29 x 5.79 mm
Architecture	Single-ended
Intended C_{det}	20 – 100 pF
Input device	NMOS W/L = 5000/0.6 μm , $I_d = 4\ \text{mA}$
Noise	1140 + 17.6 e-/pF
Gain	3.8 mV/fC
Max. linear charge	450 fC
Class AB Output swing	To power supply – 250 mV
Pulse shape	7 th order complex Gaussian, bipolar
Pulse peaking time, 5% - 100%	73 ns
FWHM	340 ns
Max. output loading (3% distortion)	500 Ω , 500 pF
Crosstalk	0.8% adjacent, 0.5% non-adjacent
Power supply	Single +3.3V
Power dissipation	32.5 mW / chan

25-й канал предусилителя используется в качестве источника опорного напряжения для остальных каналов.

Single Ended to Differential Adapter

Выполняет две функции:

- преобразует униполярные выходы предусилителя в дифференциальные – предпочтительные для ADC входные сигналы. Каскад выполнен на 24-х ИС Texas Instruments – THS4522 - <http://www.ti.com/lit/ds/symlink/ths4522.pdf> ;
- осуществляет необходимое масштабирование входных сигналов. Штатный коэффициент усиления – 1.5.

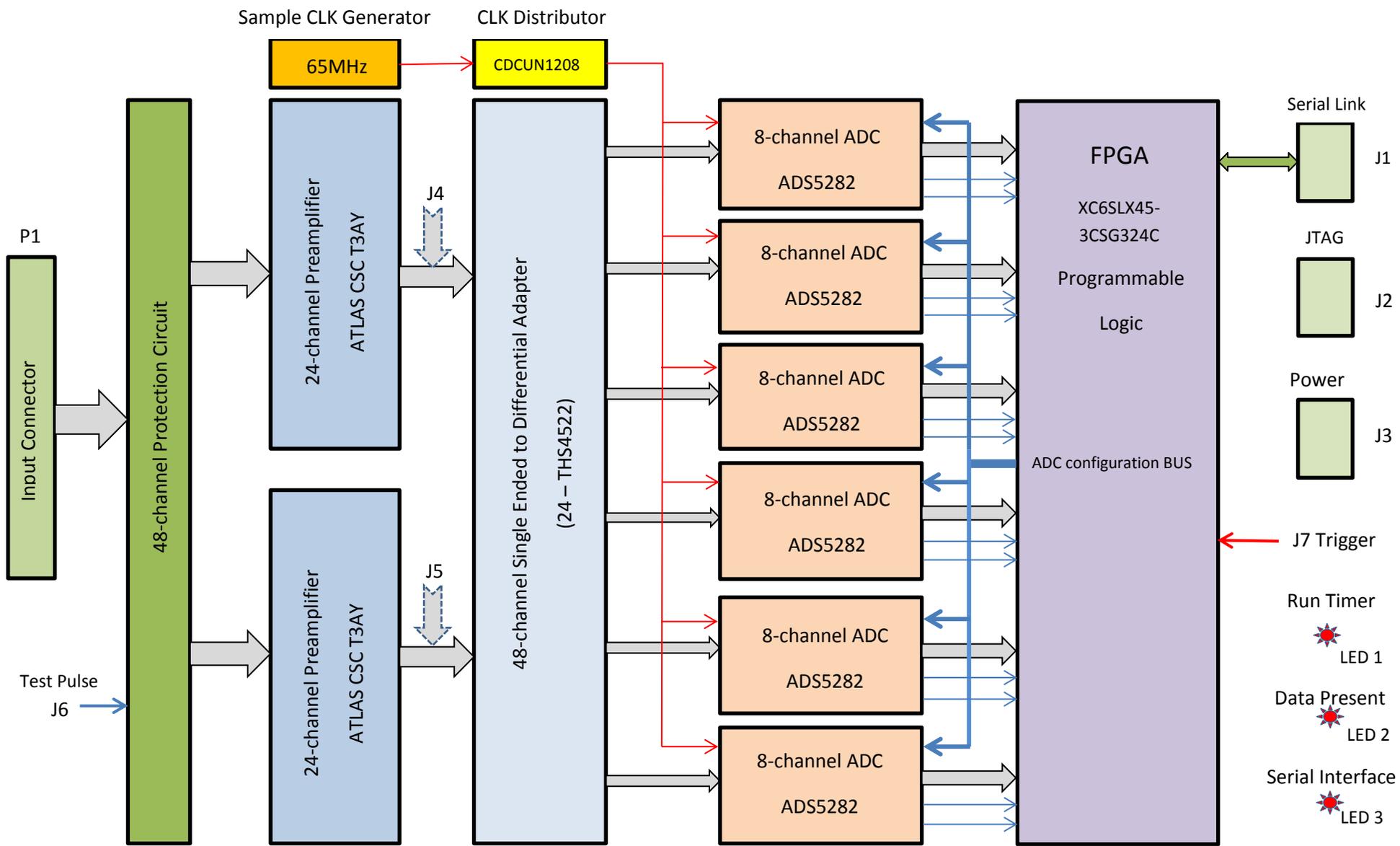
8-channel ADC (ADS5282)-

6 ИС Texas Instruments - <http://www.ti.com/lit/ds/symlink/ads5282.pdf> При относительно высокой скорости – 65 MSPS и разрешении - 12-bit ADC имеет последовательный выходной интерфейс. При этом на 8-канальный ADC требуется всего 10 выходных LVDS сигналов: 8 линий данных, DDR LCLK – (390MHz) и сигнал ADCLK - FRAME (65MHz) – позволяющий определять начало передачи 12-разрядного выходного слова. Это позволяет с одной стороны иметь компактный ADC, (менее 1см²), с другой – вводить в FPGA достаточно много каналов аналоговой информации для их совместной обработки. Скорость ввода информации по каждому из каналов составляет при этом 780MBPS.

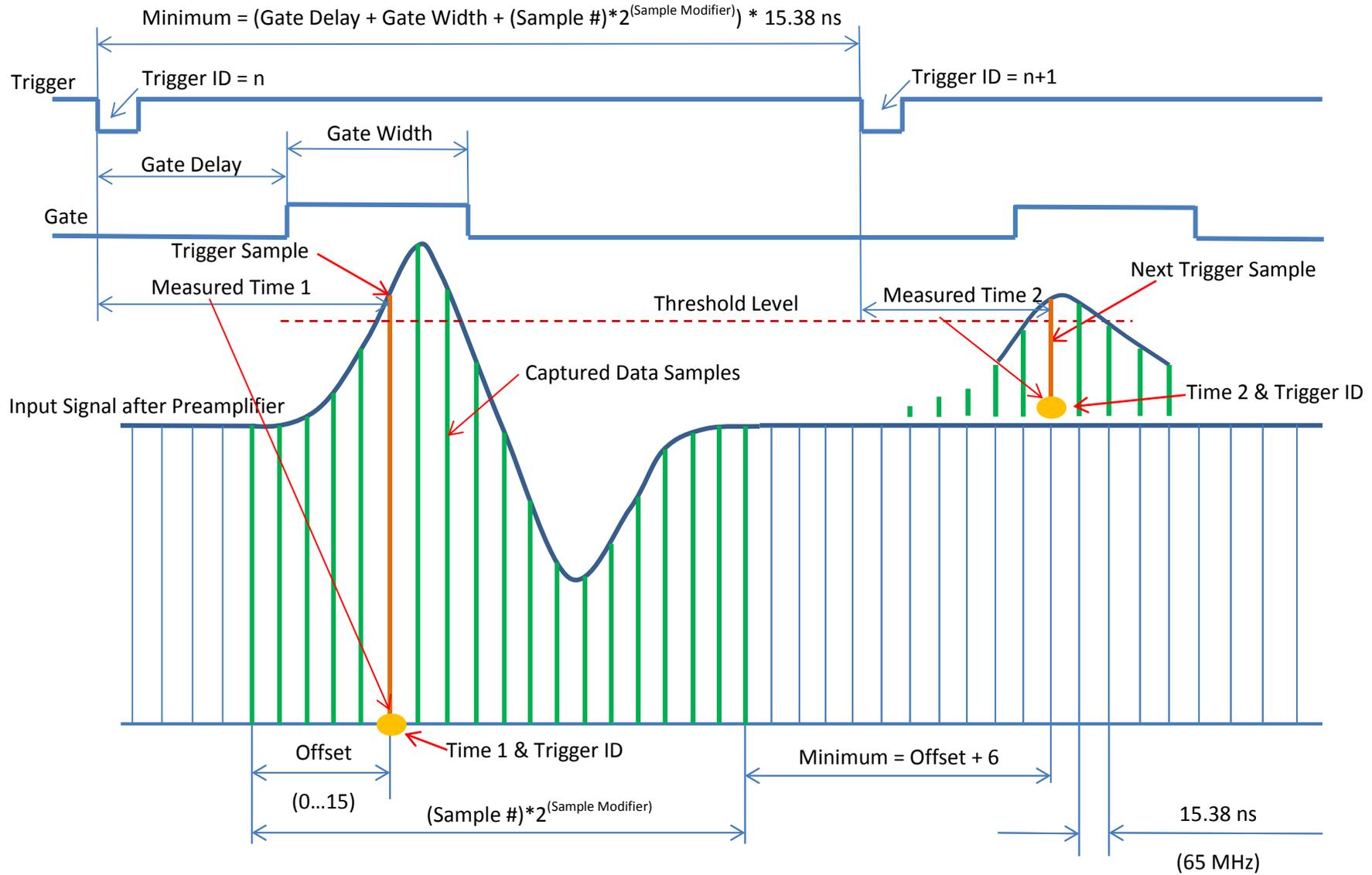
Следует иметь в виду, что поскольку ADC имеет конвейерную архитектуру внутренняя задержка ADC от момента измерения входного сигнала до момента появления первого бита результата этого измерения на выходе ADC проходит время равное 12 периодам Sampling CLK + Clock propagation delay = 12 * 15.38 ns + 11.5 ns = 196 ns. Соответственно на передачу слова в FPGA и десериализацию требуется еще два периода Sampling CLK-а. В результате от момента измерения входного сигнала до момента попадания его результата на цифровой дискриминатор проходит 227 ± 2 ns.

ADC имеет ряд внутренних конфигурационных регистров позволяющих пользователю подстраивать ADC с учетом специфики применения. Так, например, предусмотрена установка выходных токов (LVDS current drive), генерация различных тестовых паттернов, подстройка коэффициентов усиления с шагом 1dB по каждому из каналов и т. п. Для доступа к внутренним регистрам ADC используется ADC configuration BUS.

Для улучшения SNR Sampling CLK (65MHz) http://www.foxonline.com/pdfs/FXO_HC73.pdf вырабатывается непосредственно на карте и распределяется между ADC при помощи специальной ИС CLK Distributor-а (CDCUN1208) с использованием согласованных LVDS линий. <http://www.ti.com/lit/ds/symlink/cdcun1208lp.pdf>



Упрощенная структурная схема карты ASF48sc



Data Capture Timing (External Trigger Mode)

FPGA – Programmable Logic

Информация с 48 каналов ADC поступает на FPGA (XC6SLX45-3CSG324C) со скоростью 780-MBPS на канал. http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf Для того чтобы принимать данные с такой скоростью необходимы специальные аппаратные средства. FPGA Spartan-6 имеют встроенные средства сериализации/десериализации, которые позволяют (при использовании дифференциальных (LVDS) входов) десериализовать входные слова длиной до 8 бит. http://www.xilinx.com/support/documentation/application_notes/xapp1064.pdf В нашем случае необходимо десериализовать слова длиной 12 бит, поэтому принята схема десериализации в два этапа: на первом этапе входные данные десериализуются штатными средствами десериализации в параллельные 6-битные слова, при этом сигналы линий FRAME десериализуются как дополнительные шины данных. Параллельные 6-битные слова следуют с частотой 130MHz - вполне приемлемой для программируемой логики. На втором этапе происходит объединение 6-битных слов в 12-битные. При этом для обеспечения должной синхронизации используется информация, получаемая по каналам FRAME.

Каждому ADC соответствует своя группа десериализации и соответственно каждая из этих 8-канальных групп использует собственный CLK = 130MHz. Это связано с тем, что хотя все ADC используют общий Sampling CLK = 65MHz, производитель ADC приводит достаточно большой разброс Clock Propagation Delay, который может варьироваться от чипа к чипу в пределах ± 2 ns, что совершенно неприемлемо для скорости 780MBPS - (1.28 ns/bit). Поэтому каждый ADC имеет свою группу CLK-ов. Таким образом, существует 48 параллельных 12-битных каналов данных, разбитых на 6 групп по 8 каналов каждая. При этом каждая из групп обслуживается собственным Clock-ом, ассоциированным с конкретным ADC. После десериализации делается ретайминг поступающих данных на общий Data CLK.

Далее данные в каждом из каналов поступают в два места: на PIPELINE, глубиной в 20 слов и на цифровой дискриминатор. Дискриминатор сравнивает текущее слово с соответствующим порогом и если слово превышает порог (в пределах ворот) и (если Self Trigger разрешен) вырабатывает триггер по данному каналу. Триггер запускает последовательность действий в результате которой в соответствующее данному каналу L1 FIFO помещается соответствующий Event – **Overflow, Time, Trigger ID** и соответствующее кол-во **Data Words**. (См. ниже описание **Output Data Format**) Какие именно **Data Words** попадут в L1 FIFO, определяется мультиплексором, подключенным к PIPELINE и управляемым регистром **Offset[3:0]**. Количество **Data Words**, записываемых в L1 FIFO, определяется регистром **Sample # [4:0]** совместно с полем **Sample Modifier [2:0]**. Таким образом, функционируют все каналы, независимо один от другого.

Особенностью карты **ASF-48sc** является использование внешнего сигнала **TRIGGER** (J7). После прихода триггера, в определенный момент, вырабатывается **GATE**, разрешающий дискриминатору принять данные. Положение сигнала **GATE** по отношению к сигналу **TRIGGER** определяется параметрами **GATE DELAY** и **GATE WIDTH**. В момент прихода **TRIGGER**-а запускается измерение времени от переднего фронта **TRIGGER**-а до триггерного отсчета. (Time bin = 1.92 ns) Это время помещается в заголовок данного **Event**-а. Отметим также, что хотя **GATE** вырабатывается после **TRIGGER**-а, за счет задержки данных в ADC, при минимальном значении **GATE DELAY = 1**, он на 320 ns опережает **TRIGGER**. Каждому пришедшему триггеру присваивается уникальный номер **TRIGGER ID**, который также помещается в заголовок данного **Event**-а.

L1 FIFO (1k слов) представляет собой синхронное FIFO с независимыми Read/Write CLK-s. Со стороны записи оно управляется Data CLK-ом = 65MHz, ассоциированным с потоком данных. Со стороны чтения все 48 L1 FIFO-s управляются CLK = 100MHz, поступающим с концентратора. Для повышения скорости сбора данных все 48 L1 FIFO по выходу разбиты на 2 группы по 24 L1 FIFO. В каждой из этих групп организован процесс перегрузки данных из L1 FIFO-s в L2 FIFO, при этом к каждому Event-у добавляется **HEADER**, содержащий **Channel #**, **Card #** и **Sample #**. Перегрузка начинается, если хотя бы в одном L1 FIFO содержится информация. Перегрузка останавливается, если в L2 FIFO оказывается недостаточно места для очередного Event-а, либо если L1 FIFO-s не содержат более информации. Суммарная скорость перегрузки по двум параллельным каналам составляет 5 ns на слово. Каждое из двух L2 FIFO-s имеет емкость 8k слов. С точки зрения пользователя оба эти L2 FIFO-s выглядят как одно L2 FIFO емкостью 16k 16-разрядных слов. Передача собранной информации на концентратор (Host Computer) осуществляется по инициативе программы пользователя с использованием команды **0x03 - Soft Trigger**.

Power Connector

- J3 - Connector type – Molex 35318 – 0420
- Power requirement:
+3.8V (-0% +5%), 2.7A;
HV - Напряжение смещения детектора;
- Pin assignment:

AGND	1	2	GND
HV	3	4	+3.8V

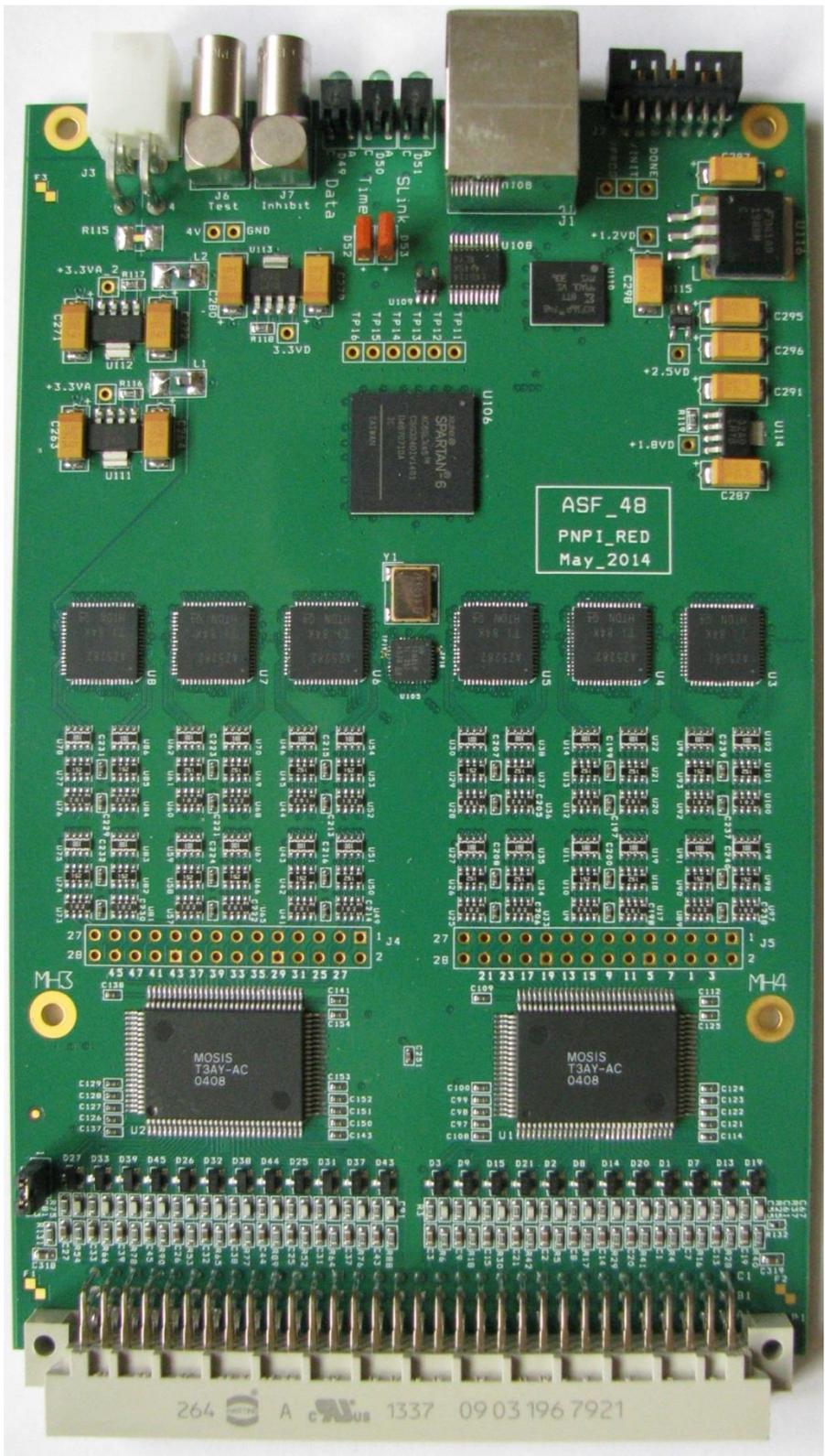
JTAG Connector

- J2 – Connector type – Molex 87833-1420
- Pin assignment:

GND	1	2	+2.5V
GND	3	4	TMS
GND	5	6	TCK
GND	7	8	TDO
GND	9	10	TDI
GND	11	12	n/a
GND	13	14	n/a

Оптические Индикаторы –

- LED1 – “External Trigger” – Мигает или горит, если External Trigger & Run присутствуют;
- LED2 – “Data Present” – Горит, если карта содержит непрочитанные данные;
- LED3 – “Serial Interface” – Вспыхивает либо в момент обращения к карте по последовательному интерфейсу либо в момент передачи данных на концентратор.



Внешний вид карты ASF48sc (Экран предусилителей снят)

LEMO connectors J6, J7 –

- J6 – “External Test Input” – Positive Pulse;
- J7 – “External Trigger Input” – NIM signal.

Serial Interface Connector

- J1 – Connector type – RJ45 Jack for Category 5 shielded cable
- Signal Levels: LVDS;
- Signals:
 - SCLK_RX – Serial Clock, input, 100MHz. Синхронизирует прием и передачу данных;
 - SDAT_RX – Serial Data, input. Линия передачи данных и команд на карту;
 - HRES_RX – Hard Reset, input, reloads FPGA from configuration PROM;
 - SDAT_TX – Serial Data, output. Линия передачи данных на концентратор.
- Pin assignment:

Input	SCLK_RX -	1	2	SCLK_RX +
Input	SDAT_RX -	3	6	SDAT_RX +
Input	HRES_RX -	5	4	HRES_RX +
Output	SDAT_TX -	7	8	SDAT_TX +

Optional Connectors (J4, J5)

Штатно не устанавливаются. Могут быть использованы для подключения мезонинной карты с альтернативной входной электроникой.

- Pin assignment:

Connector	Signal	Pin	Pin	Signal
J5	+3.3VA	1	2	PA1_REF
	Channel 02	3	4	Channel 03
	Channel 00	5	6	Channel 01
	Channel 06	7	8	Channel 07
	Channel 04	9	10	Channel 05
	Channel 10	11	12	Channel 11
	Channel 08	13	14	Channel 09
	Channel 14	15	16	Channel 15
	Channel 12	17	18	Channel 13
	Channel 18	19	20	Channel 19
	Channel 16	21	22	Channel 17
	Channel 22	23	24	Channel 23
	Channel 20	25	26	Channel 21
	AGND	27	28	AGND
J4	+3.3VA	1	2	PA2_REF
	Channel 26	3	4	Channel 27
	Channel 24	5	6	Channel 25
	Channel 30	7	8	Channel 31
	Channel 28	9	10	Channel 29
	Channel 34	11	12	Channel 35
	Channel 32	13	14	Channel 33
	Channel 38	15	16	Channel 39
	Channel 36	17	18	Channel 37
	Channel 42	19	20	Channel 43
	Channel 40	21	22	Channel 41
	Channel 46	23	24	Channel 47
	Channel 44	25	26	Channel 45
	AGND	27	28	AGND

Input Connector

- P1 – Connector type – 96POS R/Angle 3 Rows;
- Pin assignment:

signal	pin	signal	pin	signal	pin
AGND	A32	AGND	B32	AGND	C32
AGND	A31	Chan 45	B31	Chan 44	C31
AGND	A30	Chan 47	B30	Chan 46	C30
AGND	A29	Chan 41	B29	Chan 40	C29
AGND	A28	Chan 43	B28	Chan 42	C28
AGND	A27	AGND	B27	AGND	C27
AGND	A26	Chan 37	B26	Chan 36	C26
AGND	A25	Chan 39	B25	Chan 38	C25
AGND	A24	Chan 33	B24	Chan 32	C24
AGND	A23	Chan 35	B23	Chan 34	C23
AGND	A22	AGND	B22	AGND	C22
AGND	A21	Chan 29	B21	Chan 28	C21
AGND	A20	Chan 31	B20	Chan 30	C20
AGND	A19	Chan 25	B19	Chan 24	C19
AGND	A18	Chan 27	B18	Chan 26	C18
AGND	A17	AGND	B17	AGND	C17
AGND	A16	AGND	B16	AGND	C16
AGND	A15	Chan 21	B15	Chan 20	C15
AGND	A14	Chan 23	B14	Chan 22	C14
AGND	A13	Chan 17	B13	Chan 16	C13
AGND	A12	Chan 19	B12	Chan 18	C12
AGND	A11	AGND	B11	AGND	C11
AGND	A10	Chan 13	B10	Chan 12	C10
AGND	A9	Chan 15	B9	Chan 14	C9
AGND	A8	Chan 9	B8	Chan 8	C8
AGND	A7	Chan 11	B7	Chan 10	C7
AGND	A6	AGND	B6	AGND	C6
AGND	A5	Chan 5	B5	Chan 4	C5
AGND	A4	Chan 7	B4	Chan 6	C4
AGND	A3	Chan 1	B3	Chan 0	C3
AGND	A2	Chan 3	B2	Chan 2	C2
AGND	A1	AGND	B1	AGND	C1
signal	pin	signal	pin	signal	pin

Последовательный интерфейс

Карта предназначена для работы в составе системы CROS-3 [2-4] и имеет соответствующий интерфейс для подключения к концентратору.

<http://hepd.pnpi.spb.ru/hepd/red/products/CROS3.html>

Данные и команды передаются на карту по последовательному интерфейсу (SDAT_RX , SCLK_RX). Существует два типа команд – короткие (4 бита – 40 ns) и длинные (36 бит – 360 ns). Тип команды определяется по полю Mode. Формат короткой команды:

Command	Start	Mode		Stop
Trigger	1	0	0	0
Hold	1	0	1	0
Resume	1	1	0	0

Эта группа команд представляет так называемые аппаратные команды. Команда Trigger аналогична по действию команде 0x03 – Soft Trigger, только поступает она со специального разъема на PCI карте. Команды Hold и Resume – специальные аппаратные команды, которые выработывает концентратор для управления скоростью поступления данных. Получив команду Hold, карта задерживает начало передачи следующего слова данных вплоть до получения команды Resume.

Формат длинной команды:

Data Type	Start	Mode	Data [D31...D0]								Stop	
Command to Card	1	1 1	D31	D30	D29	D28	...	D3	D2	D1	D0	0

Формат поля данных:

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
ASTR	0	RD	CCBS	DEVA[3:0]				REGA[7:0]							
				Device Address				Register Address							

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WD[15:0]															
Write Data															

Где:

- ASTR – Строб Адреса – должен быть всегда установлен в 1, если адресуется CROS-3 Card;
- RD = 1/0 – Read/Write bit;
- CCBS – CCB16-B (Top Level Concentrator) Select;
- DEVA[3:0] = 0...15 – Device Address;
- BRNS – D[23] – Не используется, поле REGA[7:0] включает 8 бит;
- REGA[7:0] – Register Address;
- WD[15:0] – Write Data; for Read commands this field is “don’t care”.

Данные на концентратор передаются по последовательному интерфейсу (SDAT_TX , SCLK_RX). Существует два формата передачи: Receipt/Read Format и Readout Data Format. Тип формата определяется полем Mode.

Receipt/Read to concentrator Format

Data Type	Start	Mode	Receipt Data D31...D0]									Stop		
Receipt to concentrator	1	1 1	D31	D30	D29	D28	.	.	.	D3	D2	D1	D0	0

Receipt/Read Data Format

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
AACK	AERR	RDR	CCBSR	DEVAR[3:0]				REGAR[7:0]							
				Device Address Receipt				Register Address Receipt							

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RD / WDR															
Read Data / Write Data Receipt															

Here:

- AACK – Address Acknowledge bit:
If set to 1, the command has been accepted by the Device;
If set to 0, the command has been rejected by the Device;
- AERR – Address Error bit;
If set to 1, it means non-existent Register Address. In this case AACK = 0;
- REGAR[7:0] = 0...255 - Register Address Receipt: echo of the REGA field in the received command;
- RDR – Read Signal Receipt: echo of the RD bit in the received command;
- DEVAR – Device Receipt: echo of the DEVA field in the received command;
- RD/WDR – echo for Write Data for Write Commands, Read Data for read commands.

Readout Data Frame Format

Data Type	Start	Mode	Readout Data [15...0]												Stop
Readout Data Frame	1	0 1	D15	D14	D13	D12	.	.	.	D3	D2	D1	D0	0	
Last Readout Data Frame	1	1 0	D15	D14	D13	D12	.	.	.	D3	D2	D1	D0	0	

Readout Data Format (Output Data Format) описан ниже. Скорость передачи 200 ns / word.

Broadcast Commands

0x00 – Reset command

Автоматически вырабатывается через 20 msec после конфигурирования FPGA (при наличии sclk_rx = 100MHz, поступающего с концентратора). Сбрасывает все внутренние регистры ADC-s (to default), кроме регистра 0x42, в который загружается 0x8041 – (differential clock mode, default phase DDR).

<http://www.ti.com/lit/ds/symlink/ads5282.pdf> сбрасывает в 0 Trigger ID counter, ADC Configuration State Machine, Data Deserializer. Поле данных данной команды игнорируется.

0x02 – Test Command

При наличии разрешения (STATUS REGISTER 0 [13] = 1) вырабатывает Test Pulse который после формирования, поступает на все 48 входов предусилителя (C= 1pF). Поле данных данной команды игнорируется.

0x03 – Soft Trigger Command

Команда двойного назначения. (1) – инициирует передачу данных на компьютер. Передается **Device HEADER** + целое число **Events** в пределах заказанного буфера. Если данные отсутствуют, то передается только **Device HEADER**. **Trigger Counter** модифицируется на +1. (2) - При наличии разрешения (**STATUS REGISTER 0 [15] = 1**) и RUN=1 является триггером для всех 48 каналов карты и инициирует передачу данных на компьютер. Поле данных данной команды игнорируется.

0x05 – Clear Command

Чистит все внутренние FIFO, Readout, Trigger ID counter, признаки ошибок – **Format Error, Invalid Data** и т.п. Поле данных данной команды игнорируется.

0x06 – Start Run Command

Устанавливает RUN = 1 (Data Taking Mode), при этом разрешается прием триггеров. Поле данных данной команды игнорируется.

0x07 – Stop Run Command

Устанавливает RUN = 0, при этом запрещается прием триггеров. Поле данных данной команды игнорируется.

0x08 – Reset Trigger ID Command

Сбрасывает Trigger ID counter в 0. Поле данных данной команды игнорируется.

0x09 – Reserved Command

0x0A – Reserved Command

0x0F – Initialize Command

Команда используется для инициализации последовательных портов. Данная команда является единственной среди широкопередаточных (broadcasting) команд, которая сопровождается квитанцией (Command Receipt). Поле данных данной команды игнорируется. В момент обращения с этой командой во внутренний регистр карты автоматически загружается номер разъема концентратора к которому подключена эта карта (0x0 ... 0xF). Содержимое этого регистра является номером карты. После включения питания, до обращения с командой Initialize, в нем содержится 0x0. Поэтому, после включения питания необходимо обратиться с командой Initialize.

Single-Target Control/Status Registers

0x70 – Control Status Register 0 (Read/Write)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Trigger mode		S1	S0	Offset[3:0] (0... .15)				Sample Modifier[2:0]			Sample #[4:0] (1... .31)				

- **Sample # [4:0]** – Совместно с полем **Sample Modifier** определяет количество отсчетов на триггер. Диапазон допустимых значений – (1...31);
- **Sample Modifier[2:0]** - Совместно с полем **Sample** определяет количество отсчетов на триггер. Диапазон допустимых значений – (0...5):

Sample Modifier	Sample #	Количество отсчетов на триггер	Захватываемое время (Sampling rate 15.38 ns)
000	1, 2, 3,... 30, 31	1, 2, 3, 4, ... 29, 30, 31	477 ns
001	1, 2, 3,... 30, 31	2, 4, 6, 8, ... 56, 58, 60, 62	954 ns
010	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	1907 ns
011	1, 2, 3,... 30, 31	8, 16, 24, 32, ... 224, 232, 240, 248	3814 ns
100	1, 2, 3,... 30, 31	16, 32, 48, 64, ... 448, 464, 480, 496	7628 ns
101	1, 2, 3,... 30, 31	32, 64, 96, 128, ... 896, 928, 960, 992	15257 ns
110	1, 2, 3,... 30, 31	Зарезервировано на будущее	
111	1, 2, 3,... 30, 31	Зарезервировано на будущее	

Количество отсчетов на триггер = $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$

- **Offset [3:0]** - Определяет количество отсчетов, которые предшествуют триггеру. Диапазон допустимых значений – (0...15);
- **S0** – Позволяет использовать внешний сигнал **TRIGGER (J7)**, помимо основной функции, в качестве тестового импульса, подаваемого на вход предусилителя (при **S0 = 1**, **GD = 21**, **GW=3**). Это позволяет проводить калибровку TDC, т. е. получать калибровочные константы для всех каналов карты;
- **S1** – Test Pulse Enable (when S1 = 1);
- **Trigger mode [1:0]** :
 - a) 00 – No triggers;
 - b) 01 – Self trigger only;
 - c) 10 – External (software) trigger only;
 - d) 11 – Self or external (software) triggers.

0x71 – Status Register 1 (Read Only)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Format Error	Invalid Data	Read Data Counter[13:0]													

- **Read Data Counter[13:0]** – Показывает число слов данных находящихся в L2 FIFO и подлежащих передаче на компьютер. Этот счетчик содержит информацию о количестве слов готовых к передаче на компьютер на момент считывания. Следует иметь в виду, что

если считывание производится во время Data Taking-а (а это нормальный режим), то поскольку значение счетчика меняется (увеличивается по мере поступления новых данных) его можно использовать только как ориентировочное, например, для оценки скорости поступления данных и настройки режима считывания. Размер Event-а хранящегося в памяти карты и ожидающего передачи на компьютер может быть определен как

$$((\text{Sample \#}) * 2^{\text{Sample Modifier}} + 4) = (\text{Число Data Words} + 4).$$

- **Invalid Data** – Устанавливается, если в процессе считывания были обнаружены некорректные данные. Сбрасывается командой 0x05 – Clear;
- **Format Error** - Устанавливается, если в процессе считывания был обнаружен некорректный формат данных. Сбрасывается командой 0x05 – Clear.

0x13 – Card Type / Firmware Identifier (Read Only)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YY [3:0]				MM [3:0]				CT [2:0]		DD [4:0]					
Year				Month				Card Type		Day					

YY [3:0] – 0... 15 – Year code;

MM [3:0] – 1... 12 – Month code;

DD [4:0] – 1... 31 – Day code;

CT [2:0] – 0... 7 - Card Type:

- **CT = 0** – CCB16-B;
- **CT = 1** - CCB10-B;
- **CT = 4** - ADF4-L;
- **CT = 5** – Hardware platform ASF48(P);
- **CT = 6** – Hardware platform ASF48cfg

0x72 – Control Status Register 2 (Read/Write [2:0], Read Only [15:8])

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Firmware Base Version				Firmware Modifier				Reserved				Buffer Size			

Buffer Size [2:0] – Определяет максимальный размер выходного буфера при передаче данных на концентратор:

- 0 – Нет ограничений;
- 1 – Максимальный буфер – 1024 слова (default);
- 2 – Максимальный буфер – 2048 слов;
- 3 – Максимальный буфер – 4096 слов;
- 4 – Максимальный буфер – 8192 слова;
- 5 – Максимальный буфер – 16384 слова;
- 6, 7 - Максимальный буфер – 32768 слов.

For CT = 5 – Hardware platform ASF48(P)

Firmware Base Version [3:0] – Базовая версия Firmware для данной аппаратной платформы:

- 1 – ASF48(P) - Версия ориентированная на работу в режиме самозапуска.
- 2 – ASF48sc - Версия ориентированная на работу с внешним триггером.

For CT = 6 – Hardware platform ASF48cfg (Конфигурируемая)

Firmware Base Version [3:0] – Базовая версия Firmware для данной аппаратной платформы:

- 1 – 10 MHz, 12-bit, 48-channels;
- 2 – 20 MHz, 12-bit, 48-channels;
- 3 – 40 MHz, 12-bit, 48-channels;
- 4 – 50 MHz, 12-bit, 48-channels;
- 5 – 80 MHz, 12-bit, 48-channels;
- 6 – 100 MHz, 10-bit, 48-channels;
- 7 – 160 MHz, 12-bit, 24-channels (Interleave);
- 8 – 200 MHz, 10-bit, 24-channels (Interleave);
- 9 – 400 MHz, 10-bit, 12-channels (Double Interleave);

Firmware Modifier [3:0] = 0 – Зарезервирован на будущее, для обозначения редакций Firmware, в рамках базовой версии.

0x73 – Control Status Register 3 (Read/Write)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Gate Delay (GD)											Gate Width (GW)				

- **Gate Width [4:0]** – Длительность **GATE**-а, в котором ожидаются данные. Область допустимых значений 0, 1...31. **GW = 0** – специальное значение: при этом вырабатывается **GATE** максимальной длительности, равной установленной **GD * 15.38 ns**, без начальной задержки. Эта опция может быть использована для поиска сигнала. **GW = 1...31** – штатные значения (**GW * 15.38 ns = 15.38 ns ... 476.8 ns**)
- **Gate Delay [15:5]** – Определяет задержку выработки **GATE**-а по отношению к сигналу **TRIGGER**. Область допустимых значений: 1 ... 2047 - (**GD * 15.38 ns = 15.38 ns ... 31498 ns**). Хотя **GATE** вырабатывается после **TRIGGER**-а, за счет задержки данных в ADC и на десериализацию при минимальном значении **GATE DELAY = 1**, он (по отношению к входным данным) примерно на 320 ns опережает **TRIGGER**. Таким образом, при **GD = 1** могут приниматься сигналы на 300 ns опережающие **TRIGGER**. Соответственно, при **GD=21** (**15,38 ns * 21 = 323 ns**) могут приниматься сигналы совпадающие с **TRIGGER**-ом.

0x40... 0x6F – 48 Threshold - Status Registers (Read/Write)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Master Save		Adjacent Mode		Threshold[11:0]											

0x40 – Соответствует каналу 0; ... 0x6F – Соответствует каналу 47

- **Threshold [11:0]** - Порог соответствующего канала;
- **Adjacent Mode [13:12]** – Регистр, который определяет режим запуска данного канала от смежных каналов. Предполагается, что каналы расположены таким образом:
47, 46, 45, 44, . . . 10, 09, 08, 07, 06, 05, 04, 03, 02, 01, 00

Если требуется, чтобы канал **04** срабатывал в случае срабатывания канала **05**

Adjacent Mode (канала **04**) должна быть установлена **10**;

Если требуется, чтобы канал **06** срабатывал в случае срабатывания канала **05**

Adjacent Mode (канала **06**) должна быть установлена **01**;

Каналы с ненулевой **Adjacent Mode**, сами по себе срабатывают обычным образом.

Adjacent Mode	Режим запуска данного канала от смежных каналов
00	Ordinary channel
01	Channel started from right channel
10	Channel started from left channel
11	Channel started from left or right channel

- **Master Slave Mode [15:14]** – Этот регистр определяет режим запуска канала:

Master Slave Mode	Режим запуска соответствующего канала (Master/Slave)
00	Канал запускается независимо от других при входном сигнале, превышающем порог
01	Slave – Канал автоматически запускается при запуске канал-(а)(ов) обозначенных как Master. Возможность независимого запуска сохраняется
10	Master - Канал запускается независимо от других при входном сигнале, превышающем порог и запускает все каналы, обозначенные как Slave
11	Комбинация зарезервирована на будущее

Отметим, что любое количество каналов может быть обозначено как Master или Slave. Один и тот же канал не может быть и Master и Slave одновременно.

Обратим внимание, что максимально возможное значение порога составляет 0xFFF. Входной сигнал не может превысить это значение и, следовательно, по данному каналу триггер вырабатываться не будет. Таким образом, если есть необходимость «закрыть» какой-то канал, то достаточно в соответствующий ему порог загрузить 0xFFF. При этом следует иметь в виду, что канал все таки может быть принудительно запущен каналом **MASTER**, либо смежным каналом. После включения питания во все регистры порогов загружена величина 0xFFF, т. е. все каналы «закрыты», поэтому перед началом работы пользователь должен загрузить рабочие пороги.

Соответствие номера входного канала (0...47), адреса соответствующего ему порога (threshold address – 0x40, 0x41,..., 0x6E,0x6D), канала ADC и соответствующего им контакта на входном разъеме (C3, V3,..., C30, V30) показано в таблице:

Chan	Thres	ADC		In	Chan	Thres	ADC		In
#	Addr	#	Chan	Conn	#	Addr	#	Chan	Conn
0	0x40	1	1	C3	24	0x58	4	1	C19
1	0x41		2	B3	25	0x59		2	B19
2	0x42		3	C2	26	0x5A		3	C18
3	0x43		4	B3	27	0x5B		4	B18
4	0x44		5	C5	28	0x5C		5	C21
5	0x45		6	B5	29	0x5D		6	B21
6	0x46		7	C4	30	0x5E		7	C20
7	0x47		8	B4	31	0x5F		8	B20
8	0x48	2	1	C8	32	0x60	5	1	C24
9	0x49		2	B8	33	0x61		2	B24
10	0x4A		3	C7	34	0x62		3	C23
11	0x4B		4	B7	35	0x63		4	B23
12	0x4C		5	C10	36	0x64		5	C26
13	0x4D		6	B10	37	0x65		6	B26
14	0x4E		7	C9	38	0x66		7	C25
15	0x4F		8	B9	39	0x67		8	B25
16	0x50	3	1	C13	40	0x68	6	1	C29
17	0x51		2	B13	41	0x69		2	B29
18	0x52		3	C12	42	0x6A		3	C28
19	0x53		4	B12	43	0x6B		4	B28
20	0x54		5	C15	44	0x6C		5	C31
21	0x55		6	B15	45	0x6D		6	B31
22	0x56		7	C14	46	0x6E		7	C30
23	0x57		8	B14	47	0x6F		8	B30

0x80... 0xDD – 84 Internal ADC Registers (Write Only)

Внутренние конфигурационные регистры ADS5282 адресуются 8-битным адресом, позволяющим адресовать до 256 регистров. Однако фактически используется лишь 14 адресов. (Кроме того, существует еще несколько регистров, не используемых в данной разработке). Поэтому, для экономии адресного пространства карты, адреса регистров были переопределены на 4 бита.

ADC register address	ADC 1 host register address	ADC 2 host register address	ADC 3 host register address	ADC 4 host register address	ADC 5 host register address	ADC 6 host register address
0x00	0x80	0x90	0xA0	0xB0	0xC0	0xD0
0x0F	0x81	0x91	0xA1	0xB1	0xC1	0xD1
0x11	0x82	0x92	0xA2	0xB2	0xC2	0xD2
0x12	0x83	0x93	0xA3	0xB3	0xC3	0xD3
0x14	0x84	0x94	0xA4	0xB4	0xC4	0xD4
0x24	0x85	0x95	0xA5	0xB5	0xC5	0xD5
0x25	0x86	0x96	0xA6	0xB6	0xC6	0xD6
0x26	0x87	0x97	0xA7	0xB7	0xC7	0xD7
0x27	0x88	0x98	0xA8	0xB8	0xC8	0xD8
0x2A	0x89	0x99	0xA9	0xB9	0xC9	0xD9
0x2B	0x8A	0x9A	0xAA	0xBA	0xCA	0xDA
0x42	0x8B	0x9B	0xAB	0xBB	0xCB	0xDB
0x45	0x8C	0x9C	0xAC	0xBC	0xCC	0xDC
0x46	0x8D	0x9D	0xAD	0xBD	0xCD	0xDD

Соответствие внутреннего адреса ADC регистра и соответствующего ему адреса в адресном пространстве карты приведено в таблице.

После включения питания и завершения процесса конфигурации FPGA, примерно через 20 ms, FPGA вырабатывает сигнал RESET, (Active Low) который поступает на все ADC. В результате во все регистры загружаются дефолтные значения. Далее FPGA вырабатывает последовательность сигналов, в результате которой во все ADC по адресу 0x42 загружается значение 0x8041 (Differential clock mode, default DDR phase). В результате все конфигурационные регистры ADCs загружены информацией приемлемой для функционирования. При необходимости, пользователь может менять какие-то значения. Исчерпывающая информация о ADS5282 содержится в: <http://www.ti.com/lit/ds/symlink/ads5282.pdf>

Output Data Format

Передача данных на компьютер (концентратор системы CROS-3) инициируется командой **0x03 – Soft Trigger Command**. Два первых слова – всегда **Device Header**. Если данные, на момент передачи **Device Header**-а отсутствуют, передается только **Device Header**.

Device Header, word1 –

- **Trigger Counter [3:0]** – 4-х разрядный двоичный счетчик. Модифицируется на +1 командой **0x03 – Soft Trigger**. Означает, в ответ на какой по порядку **Soft Trigger** передается данный буфер. Сбрасывается командой **0x05 – Clear**;
- **Err** – Error. Устанавливается в 1 если в процессе считывания предыдущего буфера был обнаружен либо некорректный формат данных либо некорректные данные (т. к. формат данных проверяется в процессе передачи данных на концентратор системы CROS3, т. е. уже после передачи HEADER-а). Сбрасывается командой **0x05 – Clear**;
- **Card # [3:0]** – Номер карты. Соответствует номеру разъема концентратора к которому подключена данная карта. Этот номер загружается автоматически при обращении с командой **Initialize**.

Device Header, word2 –

- **Sample # [4:0]** – Совместно с полем **Sample Modifier** определяет количество отсчетов на триггер = $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$. Определяется содержимым **Status Register 0**. Диапазон допустимых значений - 1 . . . 31;
- **Sample Modifier[2:0]** - Совместно с полем **Sample** определяет количество отсчетов на триггер. Диапазон допустимых значений 0..5. Определяется содержимым **Status Register 0**;
- **Offset [3:0]** - Определяет количество отсчетов, которые предшествуют триггеру. Диапазон допустимых значений – 0 . . . 15. Определяется содержимым **Status Register 0**;

Event 1 Header, word3 –

- **Channel # [5:0]** – Номер канала, в пределах карты, к которому относится данный Event. Диапазон допустимых значений - 0 . . . 47;
- **Card # [3:0]** - Номер карты. Соответствует номеру разъема концентратора к которому подключена данная карта. Этот номер загружается автоматически при обращении с командой **Initialize** (0 . . . 15).

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	word
Device Header		1	1	0	0	Card # [3:0]			Err	Reserved			Trigger Counter			1		
		0xC																
Device Header		1	1	0	0	Of f set [3:0]			Sample Modifier[2:0]			Sample # [4:0]			2			
		0xC																
Event 1 Header		1	1	1	0	AM[1:0]	Card # [3:0]			Channel # [5:0]					3			
		Overflow[3:0]				Trigger ID [27:16]											4	
		Trigger ID [15:0]														5		
		Time [15:0]														6		
		0	0	0	0	Data Word 1 [11:0]											7	
		0	0	0	0	Data Word 2 [11:0]											8	
Event 1 Data Samples		0	0	0	0	Data Word 3 [11:0]											9	
		0	0	0	0	Data Word 4 [11:0]											10	
		0	0	0	0	Data Word 5 [11:0]											11	
		0	0	0	0	Data Word 6 [11:0]											12	
		0	0	0	0	Data Word 1 [11:0]											13	
		0	0	0	0	Data Word 2 [11:0]											14	
Event 2 Header		1	1	1	0	AM[1:0]	Card # [3:0]			Channel # [5:0]					13			
		Overflow[3:0]				Trigger ID [27:16]											14	
		Trigger ID [15:0]														15		
		Time [15:0]														16		
		0	0	0	0	Data Word 1 [11:0]											17	
		0	0	0	0	Data Word 2 [11:0]											18	
Event 2 Data Samples		0	0	0	0	Data Word 3 [11:0]											19	
		0	0	0	0	Data Word 4 [11:0]											20	
		0	0	0	0	Data Word 5 [11:0]											21	
		0	0	0	0	Data Word 6 [11:0] (Last Word)											22	
		0	0	0	0	Data Word 1 [11:0]											17	
		0	0	0	0	Data Word 2 [11:0]											18	

- **AM [1:0] - Adjacent Mode** – Регистр, который определяет режим запуска данного канала от смежных каналов:

Adjacent Mode	Режим запуска данного канала от смежных каналов
00	Ordinary channel
01	Channel started from right channel
10	Channel started from left channel
11	Channel started from left or right channel

Event 1 Header, word4 –

- **Trigger ID [27:16]** – Старшие 12 разрядов счетчика Trigger ID, идентифицируют триггер, в ответ на который был принят данный Event;
- **Overflow [3:0]** – 4-х разрядный двоичный счетчик. Показывает, сколько триггеров было пропущено в данном канале перед тем, как был принят текущий триггер. Триггер пропускается и **Overflow** модифицируется на +1, если в L1 FIFO данного канала отсутствует достаточно места, для следующего Event-а. **Overflow** сбрасывается в 0 после приема триггера и помещения его значения в Header. **Overflow** сбрасывается также командой **0x05 – Clear**. Если **Overflow** = 0xF, это означает, что было пропущено 15 или более триггеров.

Емкость канального L1 FIFO равна 1024 слова. При **Sample #** = 31 и **Event Modifier** = 0 длина Event-а составляет 34 слова. Т е в этом случае каждый из каналов способен хранить в своем L1 FIFO минимум 30 Event-ов (максимум 256). По мере поступления данных в L1 FIFO-s, они перегружаются в выходное L2 FIFO емкостью 16k слов, до его заполнения. Таким образом, карта располагает 1k x 48 = 48k - L1 FIFO и 16k - L2 FIFO, степень заполнения которого отражает **Read Data Counter**.

Event 1 Header, word5 –

- **Trigger ID [15:0]** – Младшие 16 разрядов счетчика **Trigger ID**, идентифицируют триггер, в ответ на который был принят данный Event. В течении RUN-а может быть принято до 268 435 455 триггеров.

Event 1 Header, word6 –

- **Time [15:0]** – Время от переднего фронта сигнала **TRIGGER** до триггерного отсчета, по которому сработал данный канал. Напомним, что триггерный отсчет находится в пределах **GATE-а**. $\text{Time bin} = 1.923 \text{ ns}$. Время определяется как $\text{Time} * 1.923 \text{ ns}$. Это относительное время – положительное число. Для того чтобы получить абсолютное время от триггера до триггерного отсчета необходимо вычесть калибровочную константу данного канала (около 380 ns). Это главным образом связано с задержкой, которую вносит ADC. Калибровочные константы каналов могут быть получены в процессе временной калибровки каналов (при **S0=1 (CSR0)**, **GD** = 21, **GW** = 3 (CSR3), тестовый импульс вырабатывается по сигналу **TRIGGER** и полученное среднее значение **Time [15:0]** равно калибровочной константе данного канала).

Event 1 Data Samples, words 7 – 12

- **Data Word [11:0]** – Data Samples: $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$ words

Event 2 Header, words 13 – 16

Card ASF48sc Specification

Channels / Card	48
Channels / System maximum	48 x 16 = 768
Target DAQ System	CROS-3: <ul style="list-style-type: none"> • CCB16-B Top Level Concentrator • CBS-B CROS-3 System Buffer (PCI Card)
Sampling Rate	65MHz
Sampling to discriminator delay	230 ns
ADC resolution	12 bit
Gate generation	Ext Trigger => Gate Delay / Gate Width
Time Measurement	From Ext Trigger to Trigger sample, Time bin = 1.92 ns
(Sample Number / Trigger) /(Maximum Capture Time/Trigger)	(1 – 31)/(477) ns , (2 – 62)/(954) ns, (4 – 124)/(1907) ns, (8 – 248)/(3814)ns, (16 – 496)/(7628) ns, (32 – 992)/(15257) ns
Offset Before Trigger	0...15
Self Trigger Mode	Individual for each channel
Threshold	Individual for each channel (0x000...0xFFF)
Adjacent Mode	Individual for each channel
Master / Slave Mode	Individual for each channel
External Trigger Mode	Common for all channels: gate generation & delay
Distance between nearest triggers	(gate delay + gate width + sample number) * 15.38 ns (If a channel has enough memory space for next event)
Channel's L1 FIFO	48 x 1024 16-bit words
Output L2 FIFO	16384 16-bit words
Serial Link (signal levels, bit rate)	LVDS, 100MBPS
Card size	100 x 160 mm
Power supply	Single + 3.8V, 2.7A (10,3W)

References

1. Advanced Front End Signal Processing Electronics for ATLAS CSC System: Status And Post Production Performance. Sachin S Junnarkar, Anand Kandasamy, Paul O'Connor
Brookhaven National Laboratory, Upton, NY, 11973, USA

2. N.F. Bondar, V.L. Golovtsov, A.G. Golyash, E.A. Lobachev, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura,
Third Generation Coordinate RedOut System – CROS-3,
PNPI High Energy Physics Division Main Scientific Activities 2002-2006, p.335

3. V.L. Golovtsov, E.M. Spiridenkov, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura,
CROS-3B – Coordinate ReadOut System (New Drift Chamber Version) To be published in PNPI High
Energy Physics Division Main Scientific Activities 2006-2012

4. V.L. Golovtsov, E.M. Spiridenkov, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura

CROS-3L – Coordinate Readout System (LHCb Test Stand Version)

To be published in PNPI High Energy Physics Division Main Scientific Activities 2006-2012