



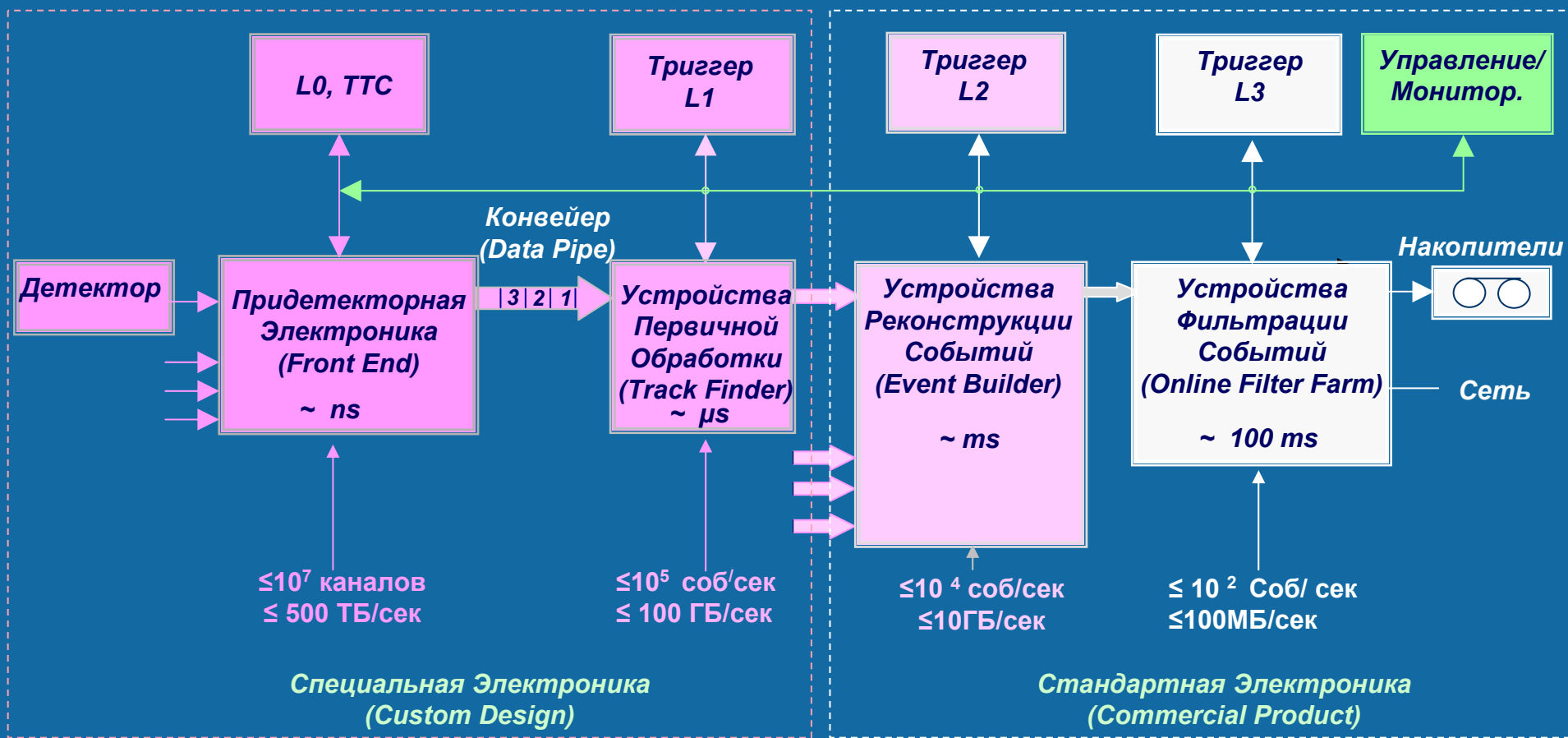
*Современные Системы Сбора Данных
Координатных Детекторов.
Новые разработки ОРЭ*

*Головцов В.Л.
Семинар ОФВЭ
17 мая 2005*

Содержание

- Структура современных систем сбора данных (ССД) в экспериментах физики высоких энергий
- Функциональные и технологические аспекты ССД
- Примеры современных ССД
- Новые разработки ОРЭ:
 - CROS3_PWC - система считывания для многопроводочных пропорциональных камер;
 - CROS3_DC - система считывания для дрейфовых камер
- Заключение. CROS3 перспективы

Структура Системы Сбора Данных



СИСТЕМЫ СБОРА ДАННЫХ:

- реально «делают» современные эксперименты физики высоких энергий;
- программируются и «обучаются» для отбора и накопления Событий;
- с временем реакции в диапазоне от десятков наносекунд до сотен миллисекунд отбирают правдоподобные данные, «собирают» их в события и накапливают отобранные События на долговременных носителях информации;
- осуществляют текущую проверку и мониторинг эксперимента



Online система

- Многоуровневый триггер
 - Фильтрация фона
 - Сокращение объёма данных
 - Online фактор сокращения 10^7
- Меню триггеров
 - Отбор интересных событий
 - Фильтрация менее интересных

Функции Системы Сбора Данных

СИСТЕМЫ СБОРА ДАННЫХ

```
graph TD; A[СИСТЕМЫ СБОРА ДАННЫХ] --> B[Высокоскоростные Функции (High Speed Functions)]; A --> C[Функции Управления (Slow Control)]; A --> D[Функции Мониторирования (Monitoring)];
```

Высокоскоростные Функции (High Speed Functions)

Связаны непосредственно с регистрацией, отбором и накоплением данных эксперимента. Ассоциируются с временным разрешением детектора

Функции Управления (Slow Control)

Осуществляются в реальном времени, но занимают временной промежуток до секунды

Функции Мониторирования (Monitoring)

Выполняются практически в реальном времени и занимают временной промежуток от секунды до минуты после того, как станут доступными данные

Высокоскоростные Функции. Специальная Электроника

Специальная Электроника (Custom Hardware)

Оцифровка аналоговых сигналов детекторов в байтовую структуру данных:
- объём информации минимизируется подавлением каналов с нулевыми данными

Отбор кандидатов в события для последующего их анализа:
- с помощью быстрой электроники триггерного отбора;
- с помощью образного программного обеспечения (фильтрация);
- с помощью комбинации обоих

Сбор данных для каждой из детекторных систем (субсистем):
- субсобытия упаковываются в соответствующем формате и конвейерным способом отправляются на следующий уровень ССД;
- сбор данных (как правило) производится параллельно и одновременно по всем субсистемам

Высокоскоростные Функции. Обработка Данных

Обработка Данных (Computing)

Реконструкция событий :

- сбор всех субсобытий;
- добавление необходимых структурированных данных для форматирования событий

Программный анализ собранных событий:

- применение *off-line* кодов для *on-line* анализа событий нескольких рабочих пучковых прогонов (Run) или даже всего эксперимента;
- если этот шаг режет существенное количество событий, то он выбирается в качестве *on-line* фильтрации (уровень 3)

Постоянная запись отобранных событий на долговременные носители:

- разделение событий по типу (как правило, по типу триггера) в разные файлы;
- традиционно запись производят на магнитные ленты нескольких типов;
- транслирование данных через сеть в компьютерные центры различных научных центров (GRID).

Функции Управления и Мониторирования ССД

Функции Управления

Управление экспериментом :

- старт и окончание очередного рабочего пучкового прогона (Start/ Stop Run),
- текущая перезагрузка триггеров, встроенных программ, констант электроники и т.д. (Downloading)

Пуск полностью выключенной системы (Cold Start)

Функции Мониторирования

Мониторирование статусных данных

- считывание данных, не относящихся непосредственно к событиям (счёт, интенсивность и т.д.),
- регистрация и отображение этих данных;

Полный анализ данных для отображения текущего статуса эксперимента

- интенсивность триггеров,
- статус детекторов (например, карта распределения сработавших каналов, число сработавших каналов, плоскостей и т.д),
- отображение событий (обычно на основе внепучковой обработки данных),
- интенсивность и стабильность фильтрации событий.

Технологические Аспекты ССД

ТЕХНОЛОГИИ ССД

```
graph TD; A[ТЕХНОЛОГИИ ССД] --> B[Специальная Электроника (Custom Hardware)]; A --> C[Встроенная Электроника (Computing)]; A --> D[Передача Данных (Data Transfer)];
```

Специальная Электроника (Custom Hardware) :

- интегральные микросхемы;
- электромеханические стандарты;

Встроенная Электроника (Computing):

- компьютеры реального времени;
- компьютеры общего применения;
- программирование

Передача Данных (Data Transfer):

- линии связи;
- передатчики/ приёмники сигналов

Технологические аспекты ССД . Интегральные микросхемы

Интегральные Микросхемы

Application Specific Circuit (ASIC):

- предусилители- формирователи;
- узлы считывания*

ASIC-технологии:

SHPI Bipolar ~ 2 μm
(ASD_Q, ASD_BLR)

BiCMOS ~ 1 μm
(GMP_16G)

CMOS ~ 0.2 μm

Программируемая логика:

- ПЛИС (FPGA);
- табличная логика (Look-up Table);

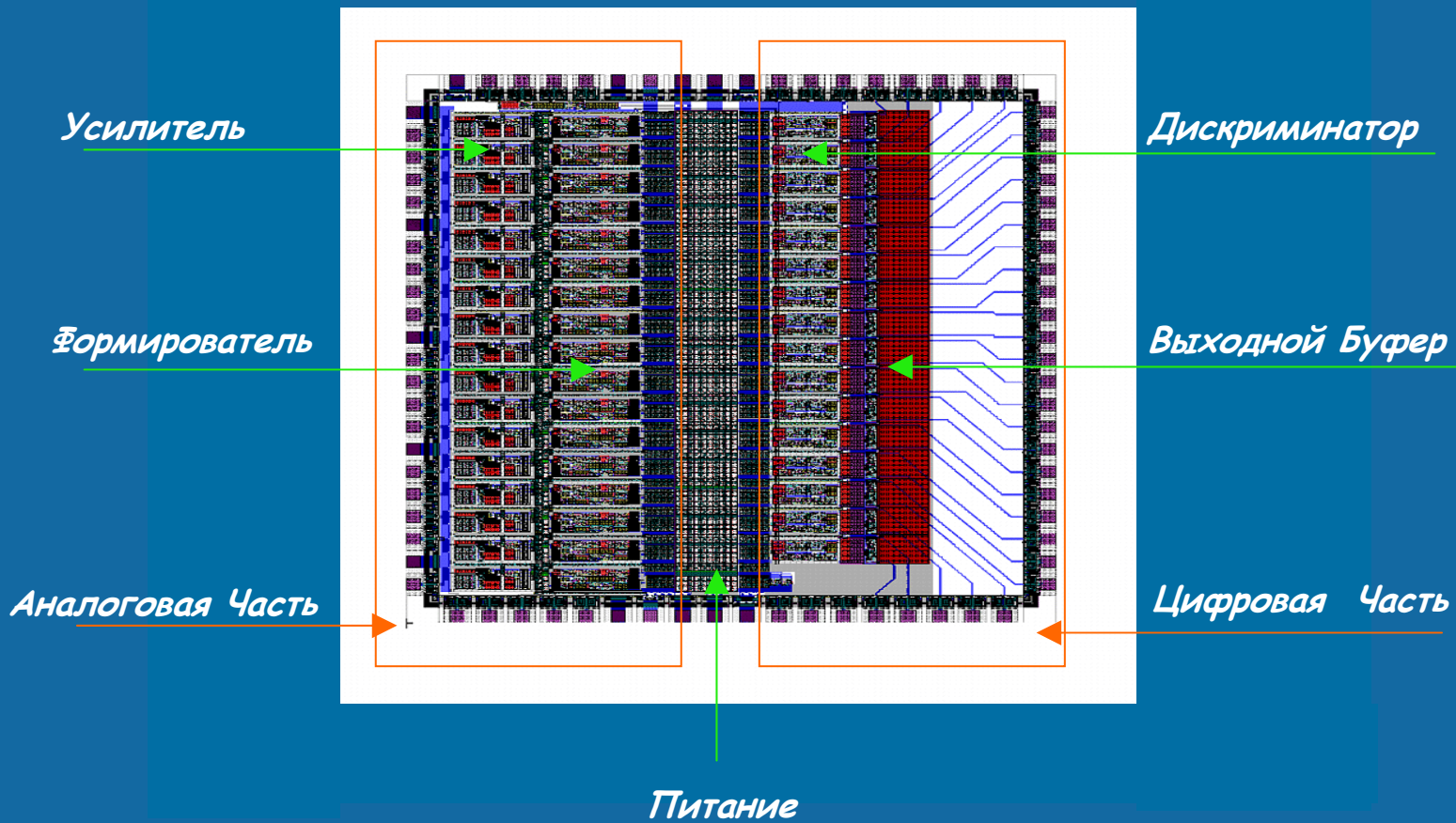
FPGA:

- XILINX, ALTERA etc (8M логических
вентилей, 0.6 ns/вентиль)

Look-up Table:

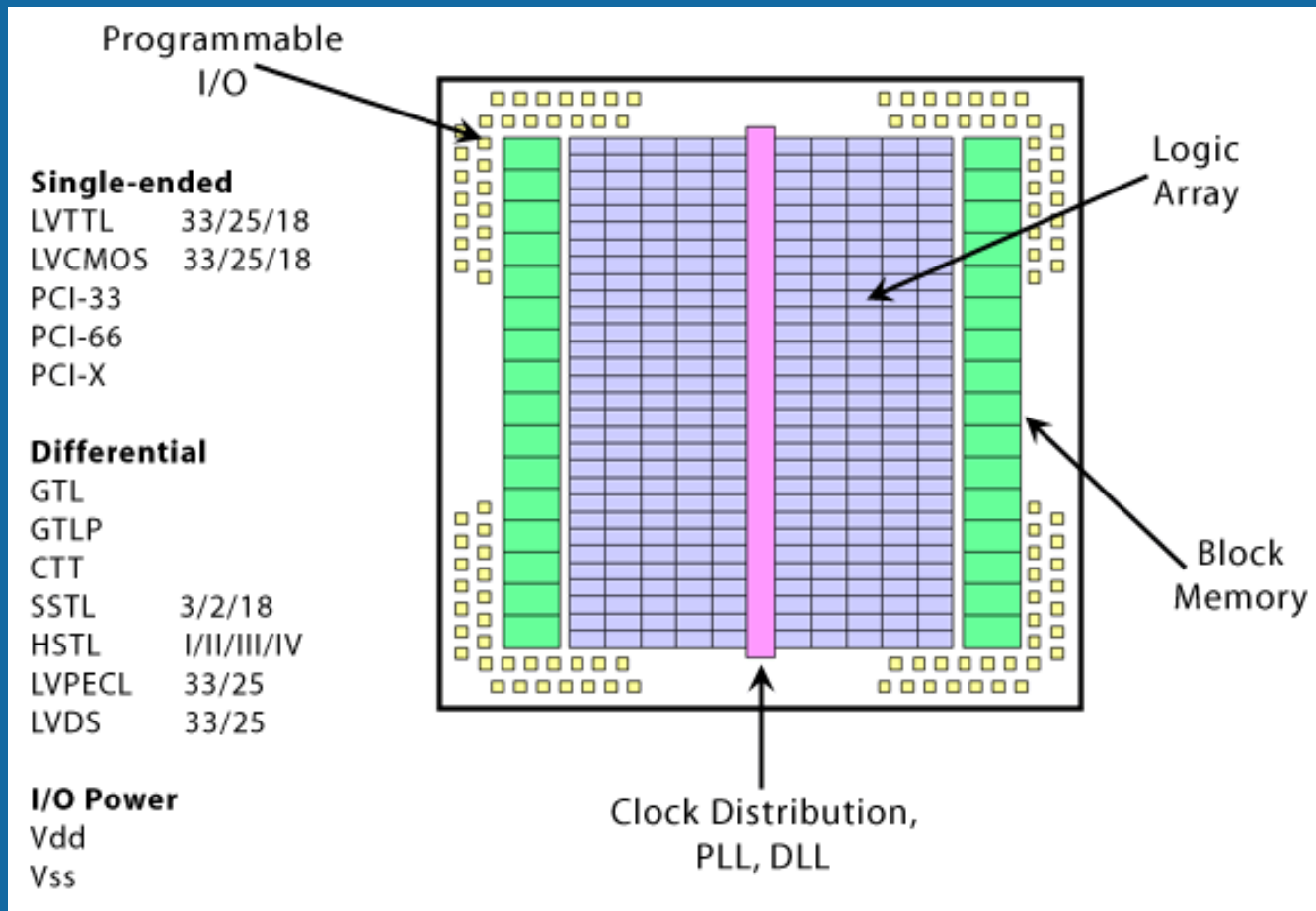
- TOSHIBA, SAMSUNG etc
(4MW SRAM - любая арифметическая
или логическая функция на 22 входа,
5 ns время решения)

Структура ASIC GMP16_G



*16-канальный Усилитель-формирователь для анодных сигналов
пропорциональных камер
Размер микросхемы: 14 мм x 20 мм x 2 мм
1.5 μ m BiCMOS технология*

Структурированная Архитектура FPGA



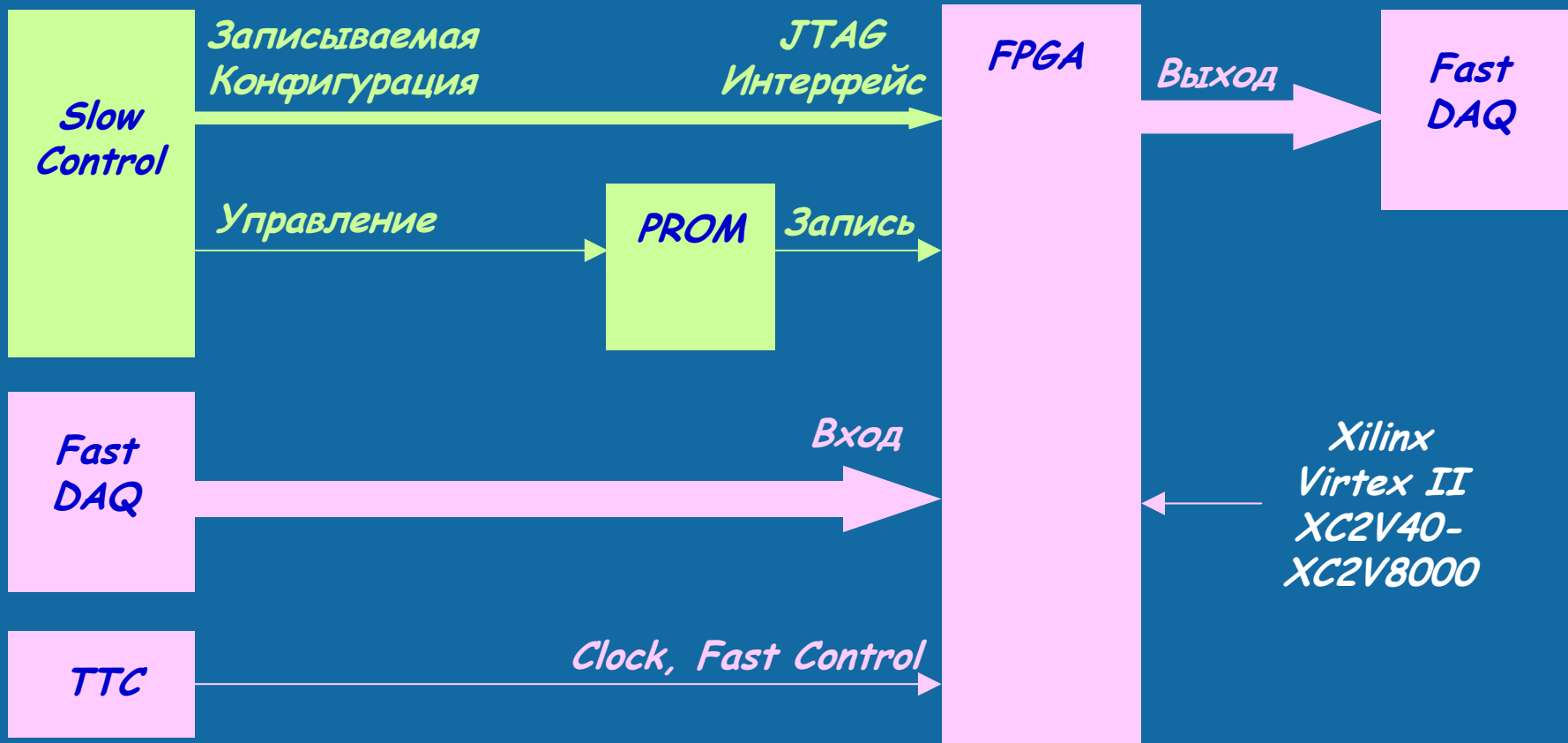
До 100К Логических Ячеек (8М логических вентилях)

До 3Мбит памяти

До 1108 входов/выходов, до 16 входов синхронизации

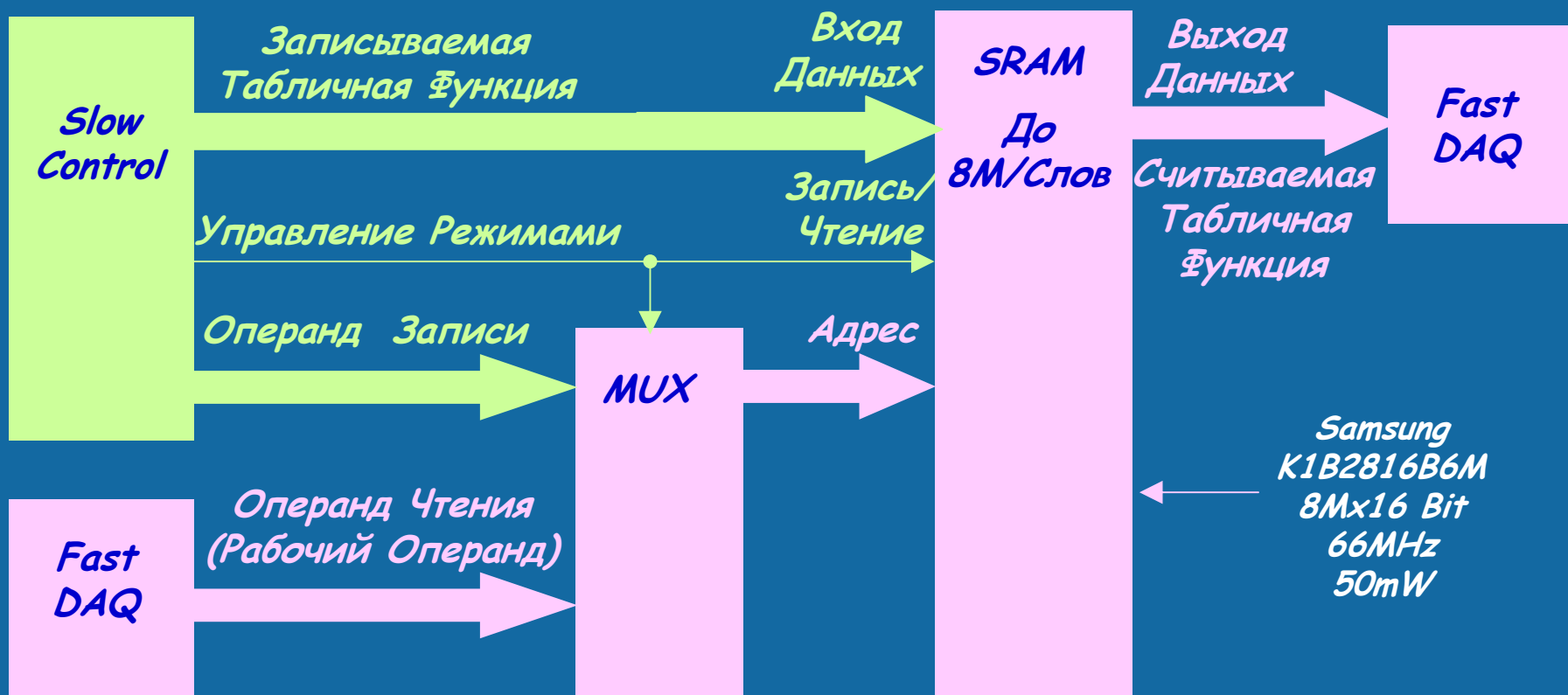
До 840 Мбит/сек дифференциальная передача данных LVDS

Пример Программируемой Логики (FPGA)



- Режим Записи (Подготовительный Режим): Занесение конфигурации соединений логических узлов, блоков памяти и управления
- Рабочий Режим: Преобразование входного потока данных в выходной в соответствии с занесённой конфигурацией и под управлением ТТС

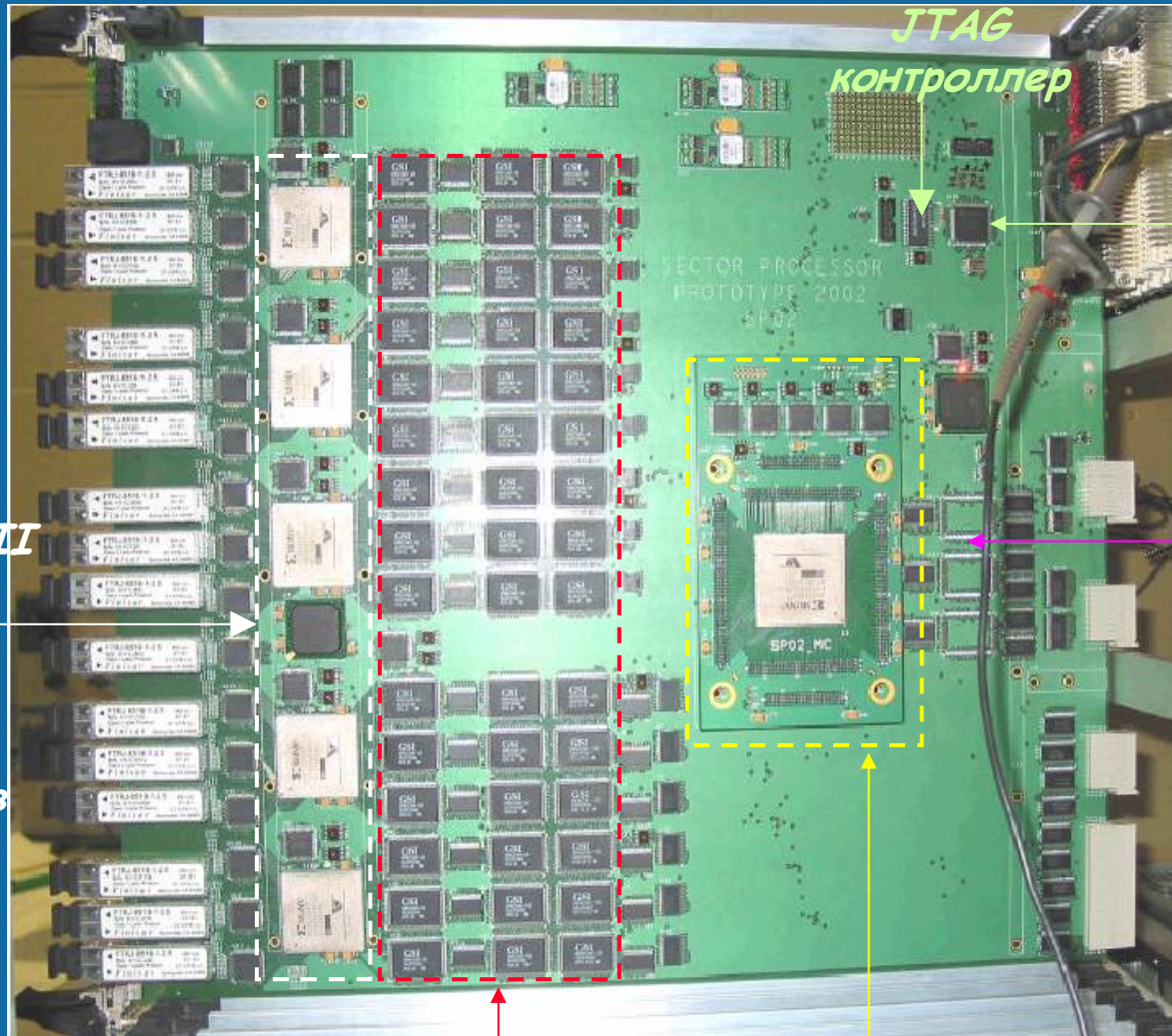
Пример Табличной Логики (Look-up Table)



• Режим Записи (Подготовительный Режим):
Занесение таблицы во все ячейки (всё поле адресов) памяти

• Режим Чтения (Рабочий Режим):
Подключение рабочего операнда, чтение табличной функции

ПЛИС и Табличная Логика Track Finder-Процессора



JTAG
контроллер

FPGA
VME/ TTC
интерфейса

Look-up Table
вычисления PT

Xilinx Virtex-II
FPGAs
регистрации
входных
данных и
трансляции в
DAQ

Look-up Table
структурирования
входных данных

Xilinx Virtex-II FPGA
Процессора

Электромеханические стандарты

Электромеханические стандарты

*NIM - Nuclear Instrumentation Modules ~ 1960 **

*CAMAC - Computer Automated Measurement and Control ~ 1970 **
24 Bit/ <1 MHz

*FASTBUS - Быстрая ECL-магистраль ~ 1980 **
32 Bit/ ~10 MHz

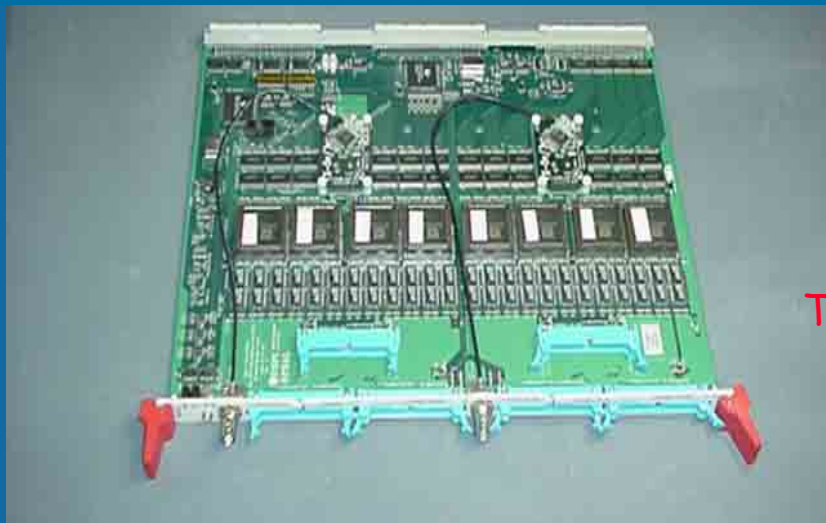
VME - VERSA-Module European ~ 1985
(на основе Intel VERSA-bus) 32 Bit/ ~10 MHz

PCI - Peripheral Component Interconnect ~ 1991
32 bit/ 33 MHz

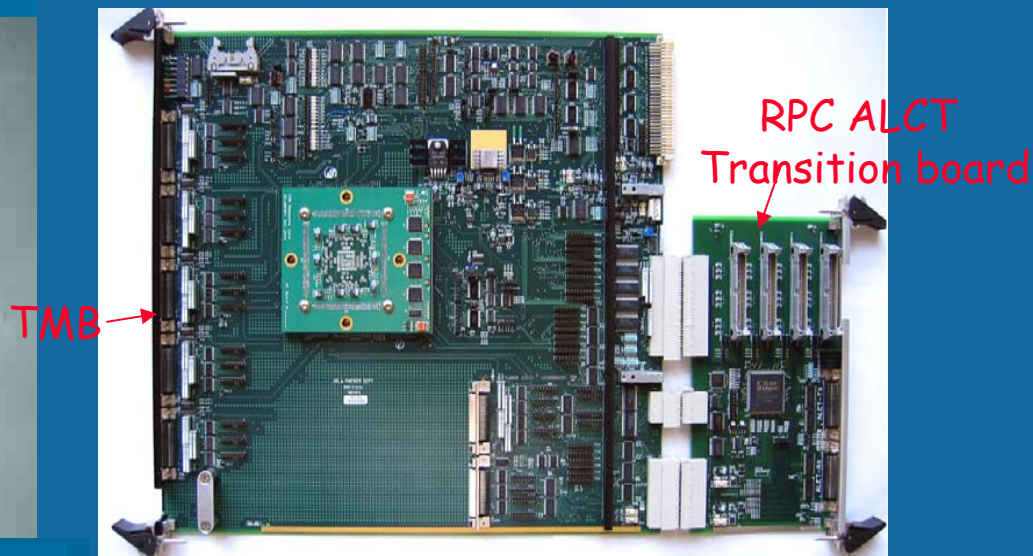
Dedicated/ «Home-brew» ~ 1981
LeCroy: PCOS Dedicated CAMAC - 32 bit/10 MHz;
FERA - Front-Panel ECL-bus - 16 bit/ 10 MHz;
PNPI: CROS Dedicated CAMAC - 32 bit/10 MHz;
Многообразие для специальной электроники ССД.

** - широко не применяется*

Примеры стандартных модулей



*DO Muon Readout MDC Digitizing Card
9U VME*



*CMS EMU TMB Card
9U VME*

9U VME предпочтительный стандарт для многоканальной специальной электроники ССД

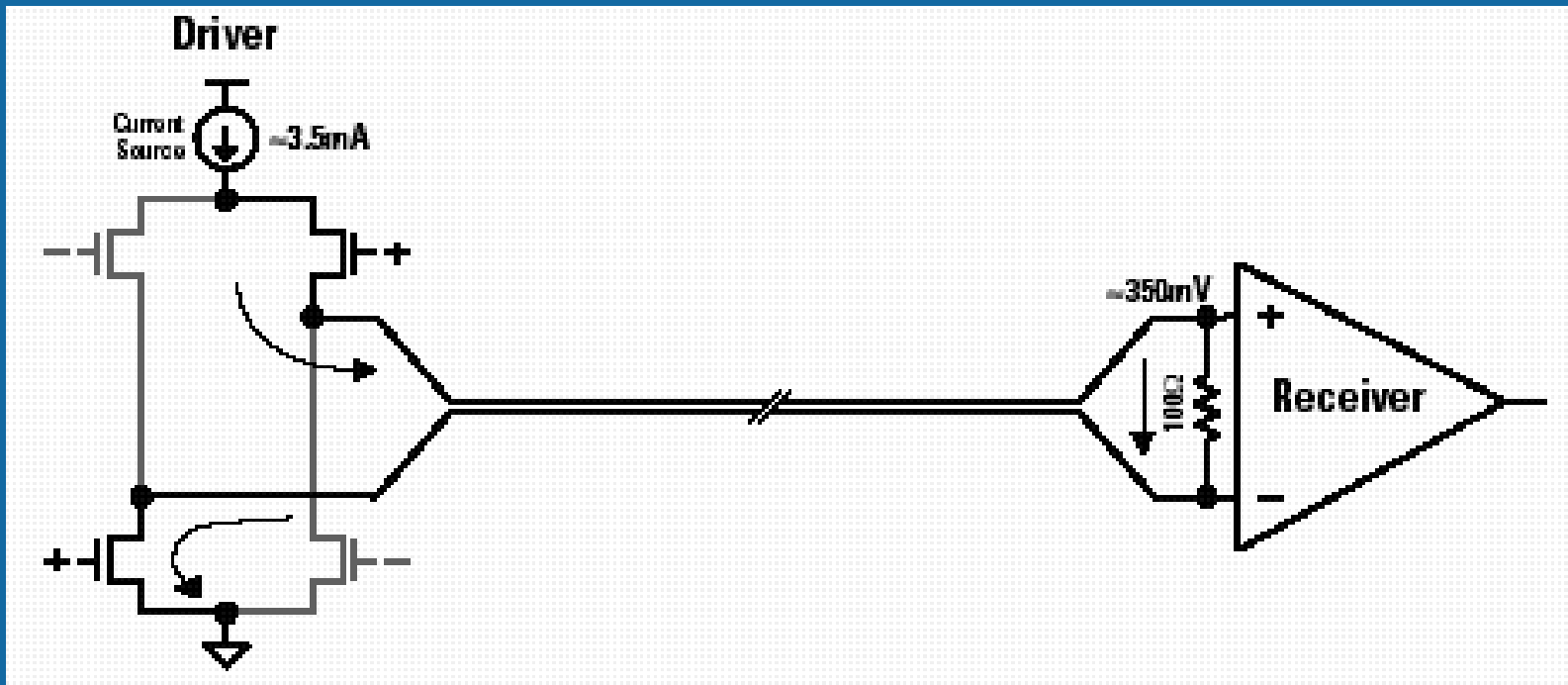
3U VME-bus используют для управления (Slow Control)

Оставшееся (6U) поле магистрали используют для быстрого обмена данными между модулями крейта (как правило, "point-to-point")

Передача Данных



LVDS- стандарт



- * Передача цифровых данных дифференциальными сигналами с малыми перепадами уровня со скоростью до 1 Gbps
- * Малые перепады уровня и токовый режим выхода передатчика обеспечивают малый уровень шума и очень малую потребляемую мощность во всём диапазоне скоростей передачи

LVDS- стандарт в сравнении

Parameter	RS-422	PECL	LVDS
Differential Driver Output Voltage	±2 to ±5 V	±600-1000mV	±250-450mV
Receiver Input Threshold	±200mV	±200-300mV	±100mV
Data Rate	<30Mbps	>400Mbps	>400Mbps

Parameter	RS-422	PECL	LVDS*
Supply Current Quad Driver (no load, static)	60mA (max)	32-65mA (max)	8.0mA
Supply Current Quad Receiver (no load, static)	23mA (max)	40mA (max)	15mA (max)
Propagation Delay of Driver	11ns (max)	4.5ns (max)	1.7ns (max)
Propagation Delay of Receiver	30ns (max)	7.0ns (max)	2.7ns (max)
Pulse Skew (Driver or Receiver)	N/A	500ps (max)	400ps (max)

*LVDS devices noted are DS90LV047A/048A

LVDS- стандарт для уплотнения передачи данных

Печатные проводники, параллельная передача

Skew Clear кабель, LVDS-дифференциальная линия, последовательная передача

Печатные проводники, параллельная передача



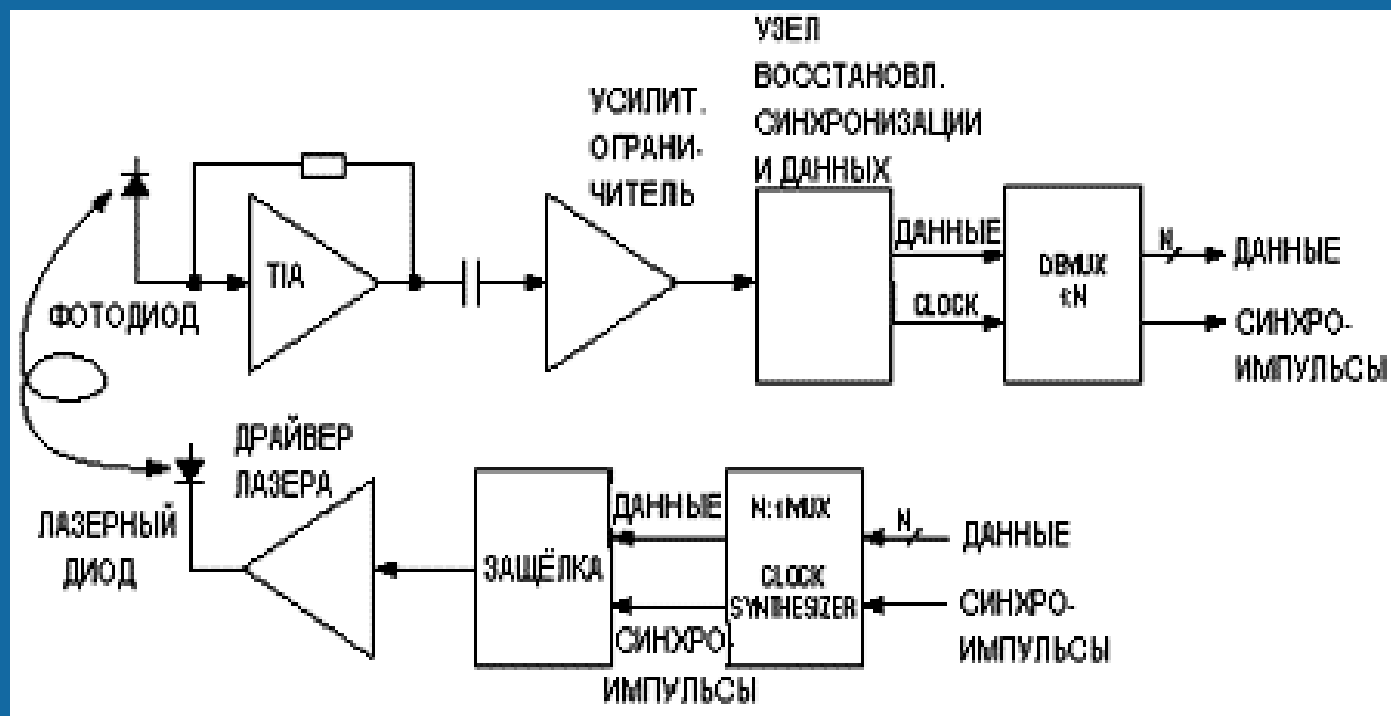
Fast DAQ передающий узел

Fast DAQ принимающий узел

≤ 20 м

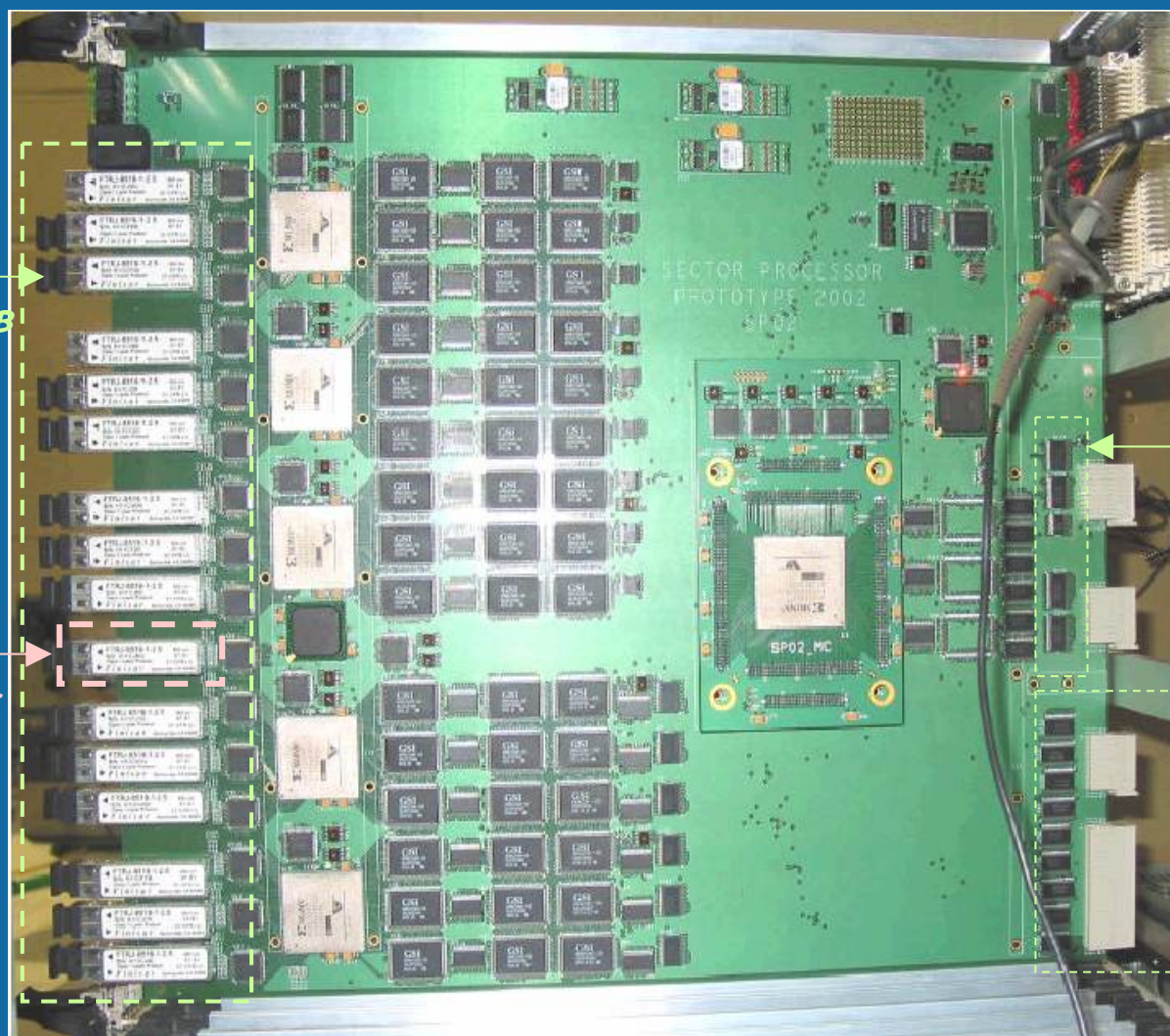
Сериализация/ десериализация данных с уплотнением 16:1 при скорости ~ 800 MBps
LVDS- стандарт предпочтителен при передачах на расстояние до 40 м

Оптоволоконные линии



Большая полоса пропускания позволяет передавать данные по одному волокну со скоростью 4 Gbps и более
Высокая помехозащищённость – волокно изготовлено из диэлектрика
Гальваническая развязка – нет проблемы «земельных» петель
Оптоволокно предпочтительно при передаче данных на расстояние свыше 40 м

Передача данных Track Finder-процессора



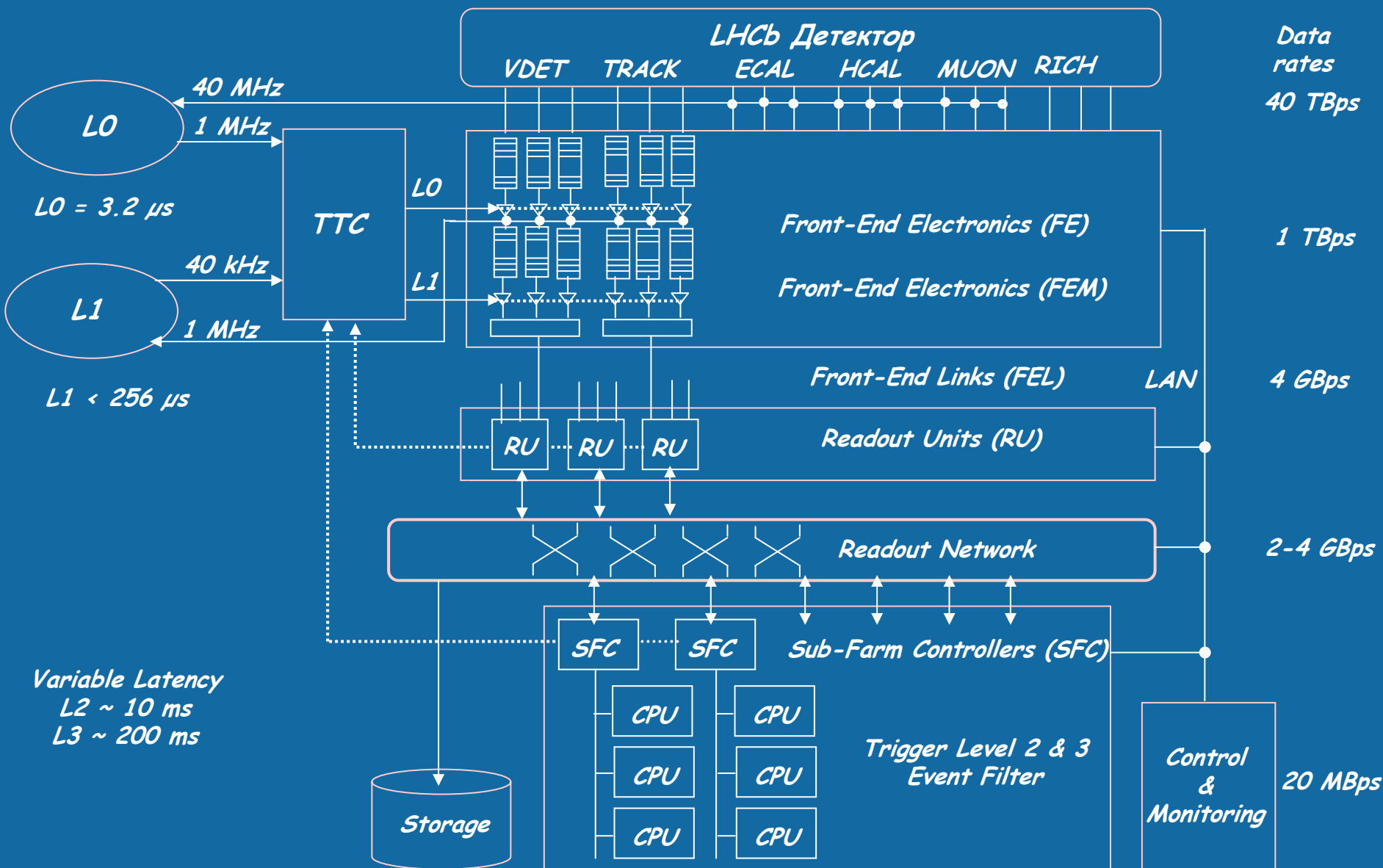
15 × 1.6 GBps
оптических линков
от периферийной
CSC электроники

1.6 GBps
DAQ -
оптический линк

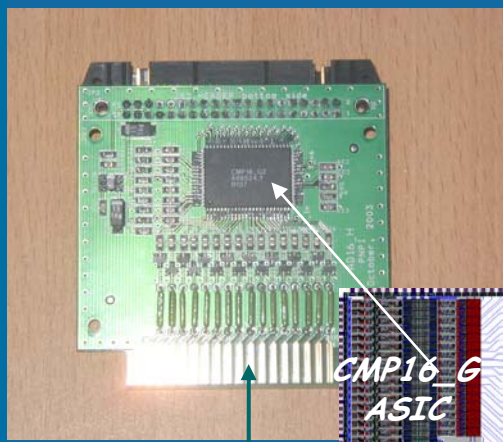
GTP-
передатчики
специальной
магистрали

Переход на
LVDS
Transition
Board

Архитектура ССД эксперимента LHCb



CROS3 Система СЧИТЫВАНИЯ



16_AD Board:
16-channel
Amplifier Shaper
Discriminator

- *Complete On-Chamber Multiwire Readout System*
- *Programmable Thresholds, Delays and Gates*
- *Time Distribution Measurement for Hit within Gate*
- *High Density, Low Power Packaging*
- *Interfaces to PCI and Ethernet*
- *Extremely Low Cost*
- *Two options of the system in progress:*
CROS3_PWC - for Proportional Wire Chambers
CROS3_DC - for Drift Chamber

The System Specific Features:

Continuous digitization of the input data stream

Adjustable digital delay within 512 steps. The step ≤ 2.5 ns

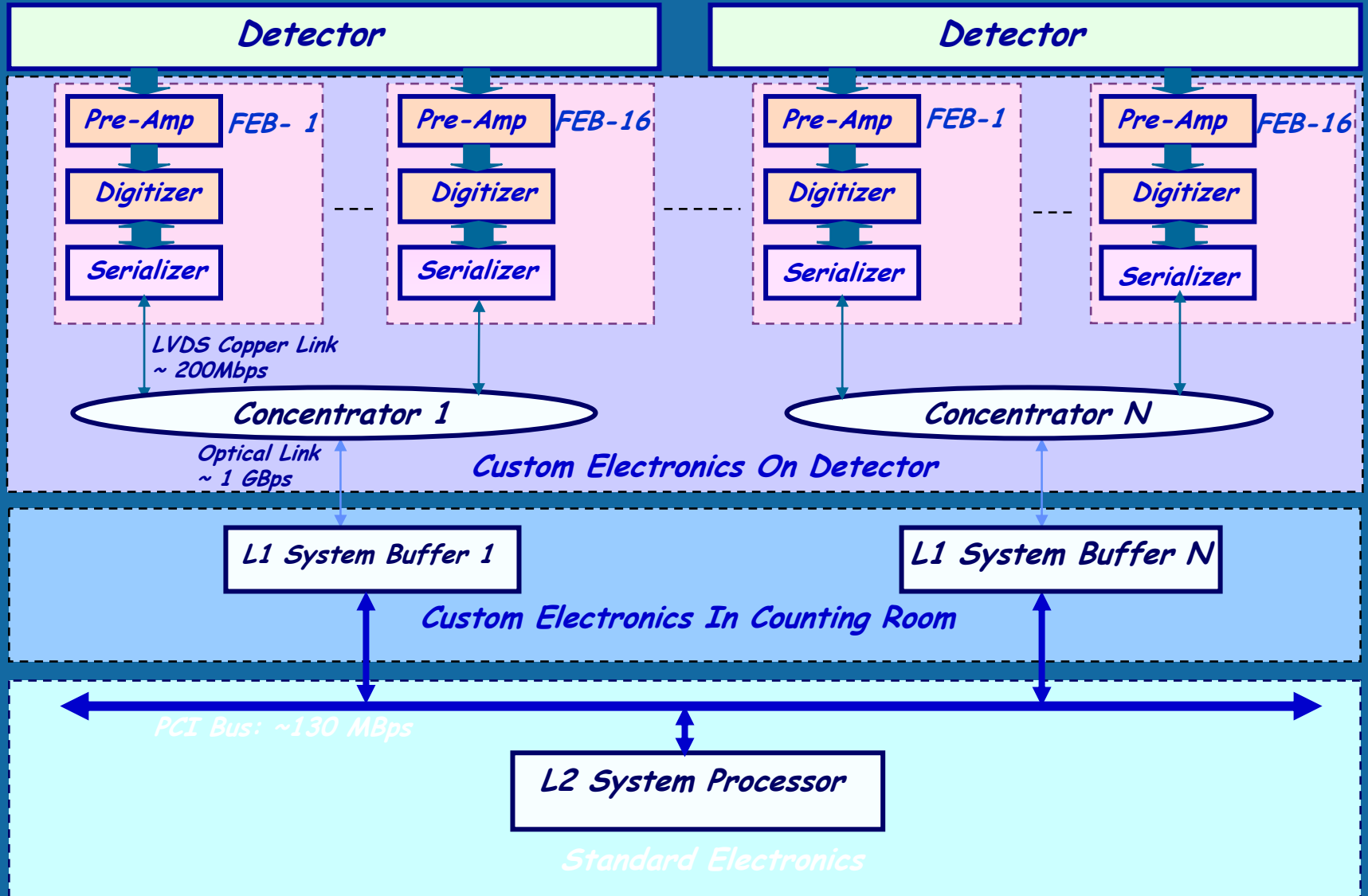
Adjustable digital gate within 128 slices. The step ≤ 2.5 ns

LVDS signaling interconnect technology for short distance data path

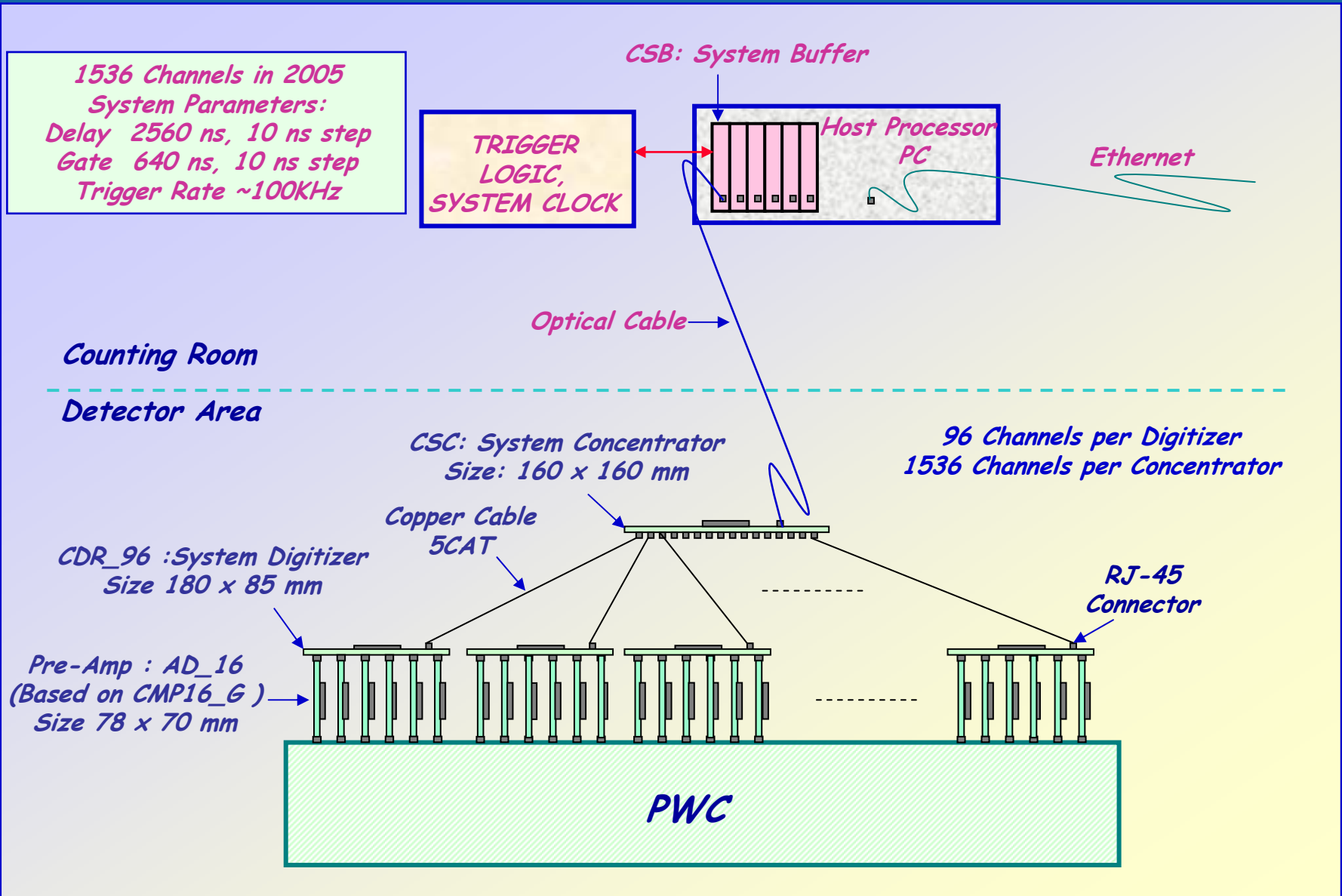
Optical link technology for long distance data path

*The core elements of the system are CMP16_G ASIC , ASDQ ASIC,
SPARTAN 3 FPGA XC3S200*

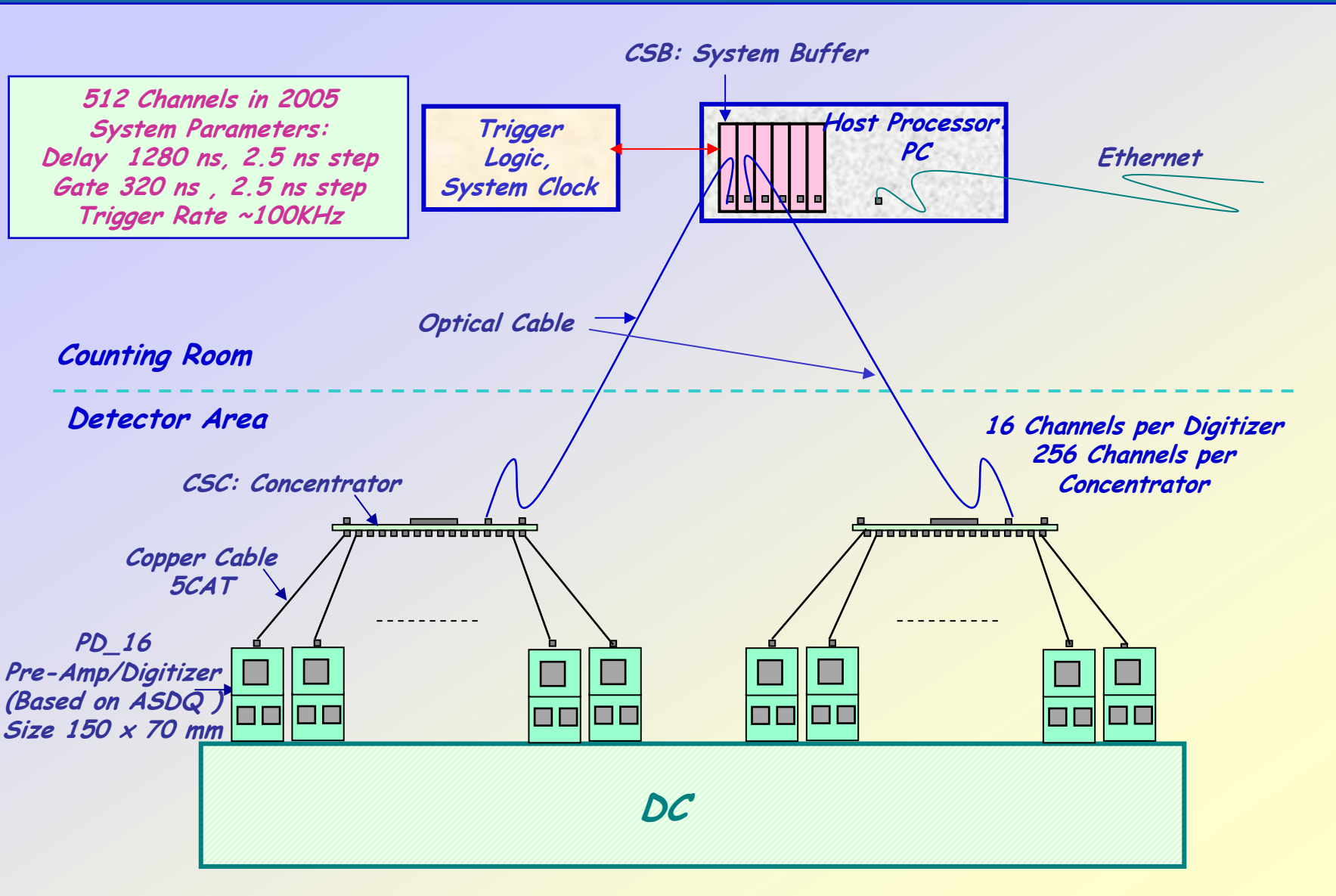
CROS3 Структура



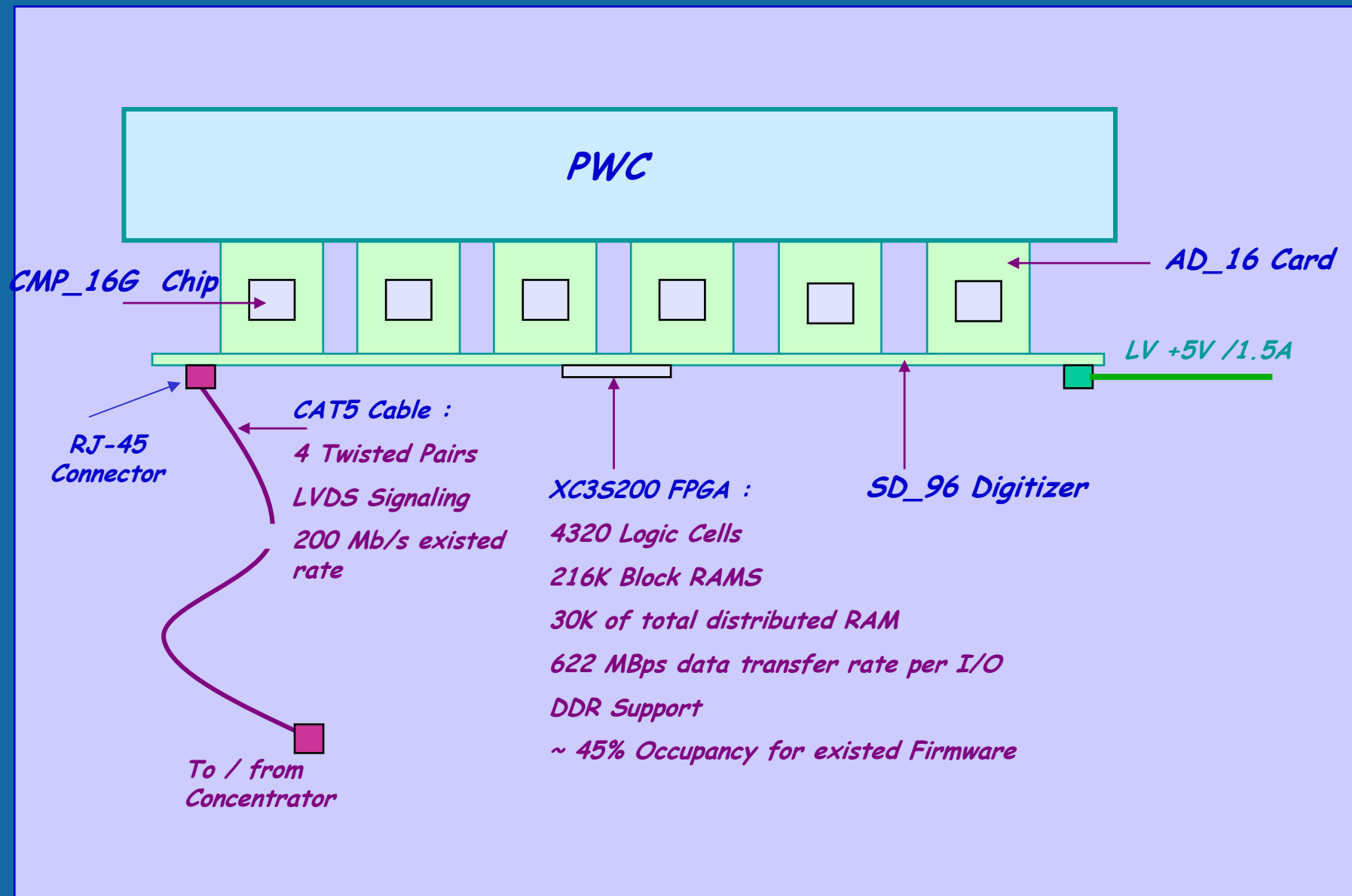
CROS3_PWC Структура



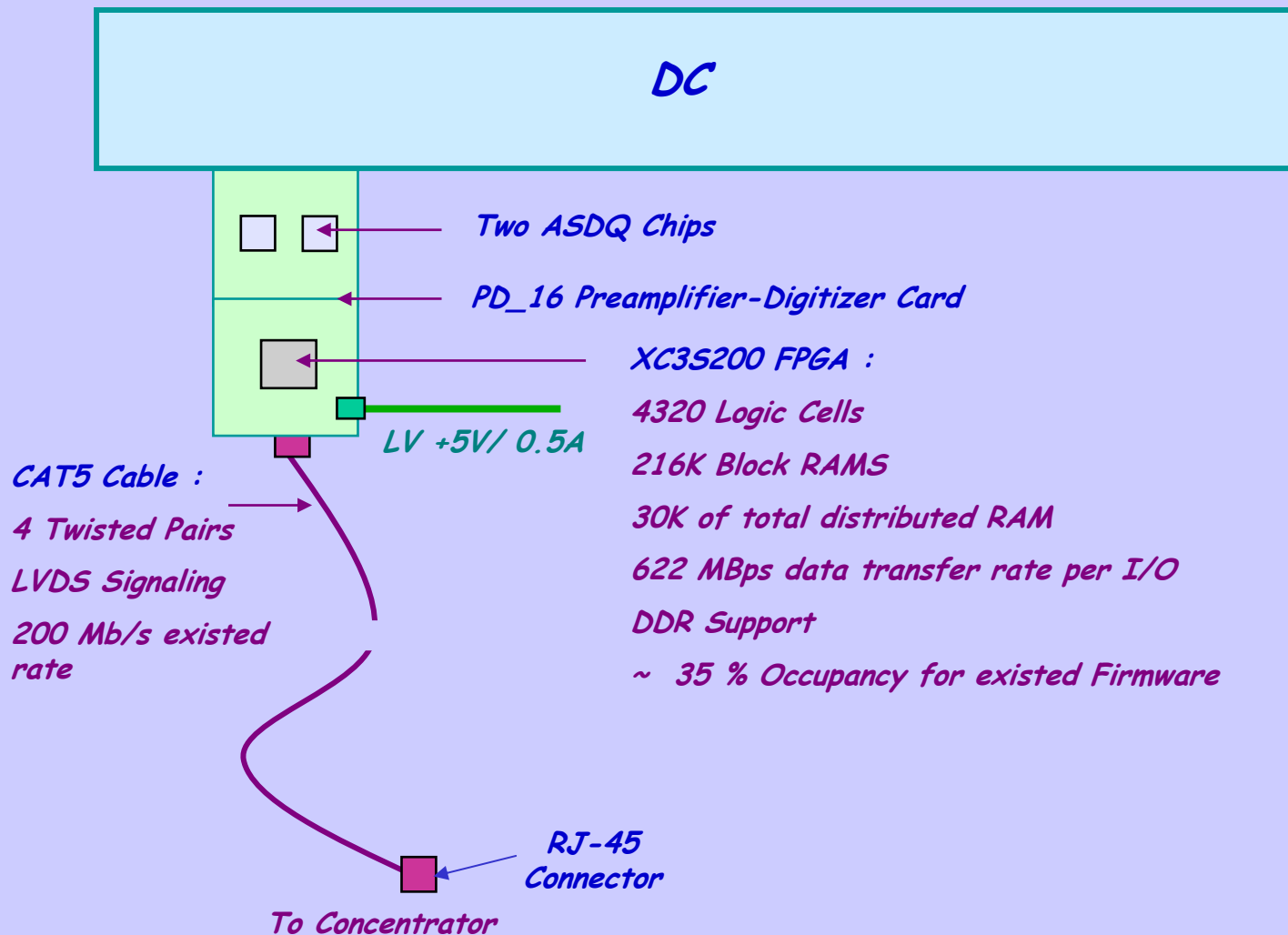
CROS3_DC Структура



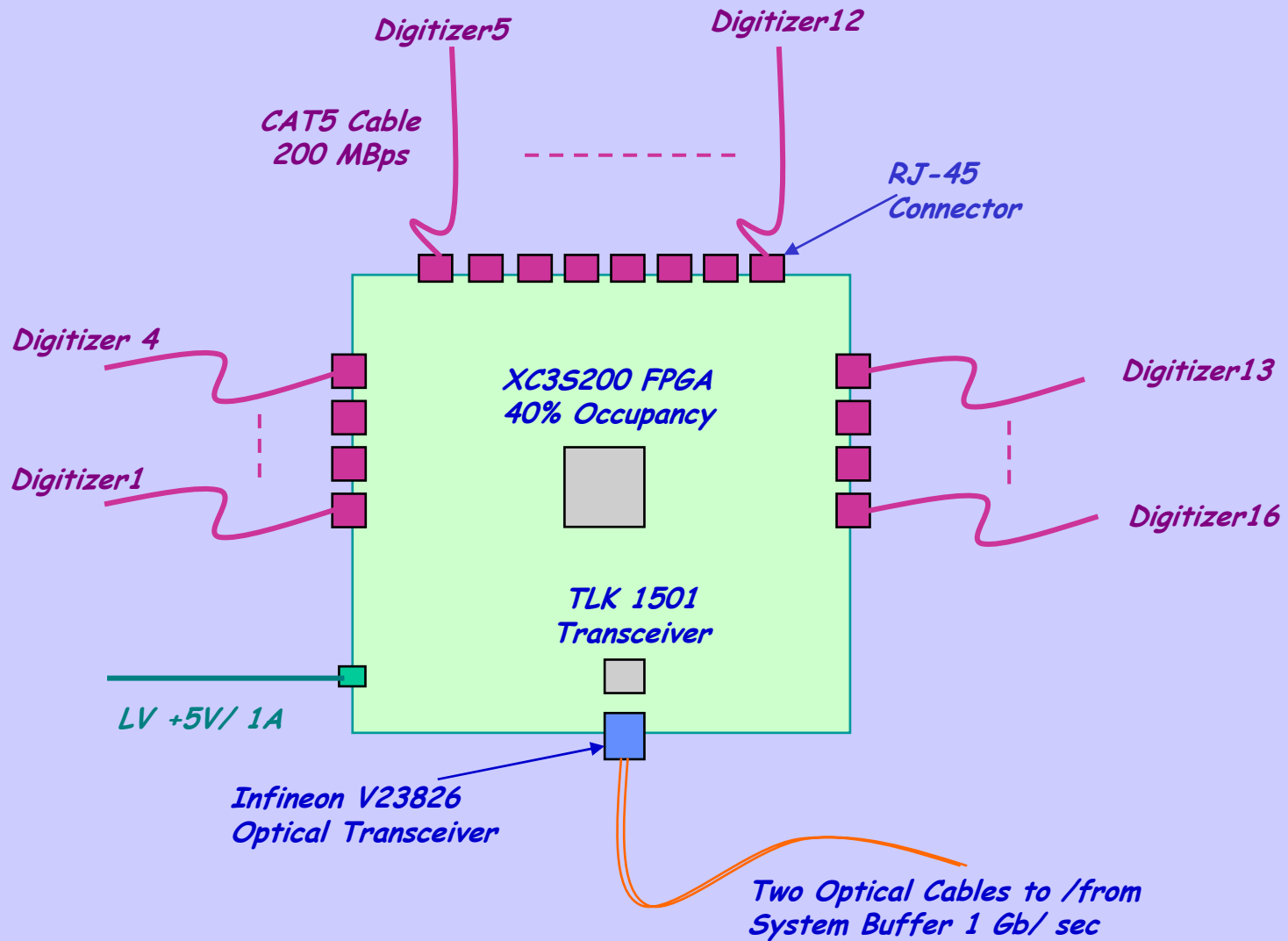
CROS3_PWC FEB структура



CROS3_DC FEB структура



CROS3 Concentrator



CROS3 Перспективы

<i>N</i>	<i>Product</i>	<i>Currently Involved</i>	<i>Development</i>
<i>1</i>	<i>Preamplifier-Discriminator ASIC</i>	<i>1.5 μm BiCMOS MAXIM SHPi analog bipolar</i>	<i>0.1 μm CMOS</i>
<i>2</i>	<i>FPGA</i>	<i>Xilinx Spartan 3 XC3S400, 200 Mhz</i>	<i>Xilinx Spartan 3E, Virtex 4 etc</i>
<i>3</i>	<i>Copper Link</i>	<i>5 CAT – 300 Mhz</i>	<i>7 CAT – 600 Mhz</i>
<i>4</i>	<i>Optical Link</i>	<i>1 Gb/sec</i>	<i>8 Mb/sec</i>
<i>5</i>	<i>Time measurement</i>	<i>2.5 ns</i>	<i>1.25 ns</i>
<i>6</i>	<i>PC Bus</i>	<i>PCI 133 MBps</i>	<i>PCI Express up to 4 GBps</i>

New ASIC Estimated Price : ~ \$ 60K for Design Run

~ \$3/ Channel for Chip